

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 15 日
Application Date

申請案號：092113219
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 6 月 24 日
Issue Date

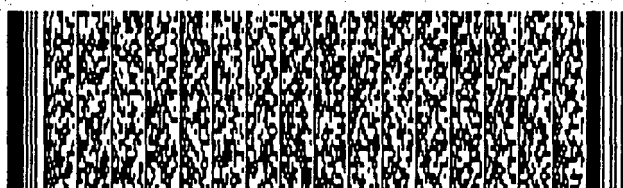
發文字號：09220622630
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	自行對準低溫複晶矽薄膜電晶體的製作方法
	英文	A SELF-ALIGNED METHOD FOR FORMING A LTPS TFT
二、 發明人 (共1人)	姓名 (中文)	1. 張志清
	姓名 (英文)	1. Chang, Chih-Chin
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹市明湖路一二00巷八十八弄二十八號
	住居所 (英文)	1. No. 28, Alley 88, Lane 1200, Min-Hu Rd., Hsin- Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 友達光電股份有限公司
	名稱或姓名 (英文)	1. AU Optonics Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市新竹科學工業園區力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 1, Li-Hsin Road 2, Science-Based Industrial Park, Hsin- Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. Lee, Kuen-Yao



四、中文發明摘要 (發明名稱：自行對準低溫複晶矽薄膜電晶體的製作方法)

一種低溫複晶矽薄膜電晶體 (LTPS TFT) 的製作方法。該方法是先形成 N 型 LTPS TFT (NLTPS TFT) 與 P 型 LTPS TFT (PLTPS TFT) 之主動層，再形成閘極絕緣層，之後利用自行對準以於主動層中分別形成 NLTPS TFT 之源極電極、汲極電極與輕摻雜汲極，並形成 NLTPS TFT 及 PLTPS TFT 之閘極電極，最後再利用 PLTPS TFT 之閘極電極自行對準以形成 PLTPS TFT 之源極電極與汲極電極。

五、(一)、本案代表圖為：第十四圖

(二)、本案代表圖之元件代表符號簡單說明

40 基板	42 圖案化複晶矽層
44 閘極絕緣層	54s N型源極電極
54d N型汲型電極	58 閘極電極
60 離子佈值製程	64 閘極電極

六、英文發明摘要 (發明名稱：A SELF-ALIGNED METHOD FOR FORMING A LTPS TFT)

A self-aligned method for forming a low temperature polysilicon thin film transistor (TPS TFT). First, active layers of a N-type LTPS TFT (NLTPS TFT) and a P-type LTPS TFT (PLTPS TFT) are formed on a substrate, and a gate insulating (GI) layer is formed on the substrate. Then, a source electrode, a drain electrode, and a lightly doped drain (LDD) of the NLTPS TFT are



四、中文發明摘要 (發明名稱：自行對準低溫複晶矽薄膜電晶體的製作方法)

70 NLTPS TFT 72 PLTPS TFT
74 LTPS CMOS TFT

六、英文發明摘要 (發明名稱：A SELF-ALIGNED METHOD FOR FORMING A LTPS TFT)

formed by utilizing the self-aligned method. Further, gate electrodes of the NLTPS TFT and the PLTPS TFT are formed on the gate insulating layer. Finally, the gate electrode of the PLTPS TFT is utilized to self-align to form a source electrode and a drain electrode in the active layer of the PLTPS TFT.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

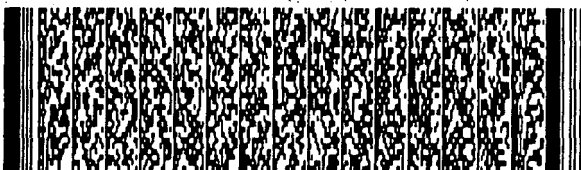
發明所屬之技術領域

本發明係關於一種低溫複晶矽薄膜電晶體 (low temperature polysilicon thin film transistor, 以下簡稱 LTPS TFT) 的製作方法，尤指一種自行對準低溫複晶矽互補式金氧半導體薄膜電晶體 (LTPS complementary metal-oxide semiconductor TFT, 以下簡稱 LTPS CMOS TFT) 的製作方法。

先前技術

由於液晶顯示器具有外型輕薄、耗電量少以及無輻射污染等特性，故已被廣泛地應用在筆記型電腦、個人數位助理 (PDA) 等攜帶式資訊產品上。然而隨著使用者對於顯示器視覺感受要求的提昇，加上新技術應用領域不斷的擴展，於是更高畫質、高解析度且具低價位的平面顯示器變成未來顯示技術發展的趨勢，也造就了新的顯示技術發展的原動力，而 LTPS TFT 除了具有符合主動式驅動 (actively drive) 潮流的特性外，其技術是達成上述目標的一項重要技術突破。

低溫複晶矽薄膜電晶體液晶顯示器 (LTPS TFT-LCD) 主要包含有至少一透明基板、一像素陣列區、一掃描線 (scan line) 驅動電路區與一資料線 (data line) 驅動電



五、發明說明 (2)

路區。其中，像素陣列區係由複數條彼此平行的掃描線、複數條彼此平行的資料線以及一液晶分子層所構成，且每一條掃描線與每一條資料線均分別定義出一像素，而每一像素皆另包含有一薄膜電晶體與一儲存電容 (storage capacitor)。由於現行之 LTPS TFT-LCD 多係利用 LTPS CMOS TFT 的製程技術，以整合標準的驅動積體電路 (IC) 於液晶顯示面板之上，因而能夠減少顯示器的尺寸、降低生產成本並縮短模組處理時間。

請參考圖一至圖五，圖一至圖五為習知製作上閘極 (+op gate) 結構之 LTPS CMOS TFT 38 之方法示意圖。如圖一所示，習知的 LTPS CMOS TFT 38 是由一 N 型低溫複晶矽薄膜電晶體 34 (以下簡稱 NLTPS TFT) 與一 P 型低溫複晶矽薄膜電晶體 36 (以下簡稱 PLTPS TFT) 所構成。習知的 LTPS CMOS TFT 38 是製作於一玻璃基板 10 上，且玻璃基板 10 表面包含有一第一區 I 與一第二區 II，是分別用來形成驅動 IC 所需之 NLTPS TFT 34 與 PLTPS TFT 36。此外，玻璃基板 10 表面另包含有一像素陣列區 (pixel array area, 未顯示於圖一中)，是用來形成複數個呈陣列排列之 NLTPS TFT 34，用以作為液晶顯示器之像素單元的開關元件 (switching device)。

習知方法是先於玻璃基板 10 上形成一非晶矽層 (amorphous silicon layer, α -Si layer, 未顯示於圖一



五、發明說明 (3)

中)，接著進行一回火 (annealing) 製程，使得該非晶矽層再結晶成為一複晶矽層 (未顯示於圖一中)。然後進行一第一微影暨蝕刻製程 (photo-etching process, PEP)，以於玻璃基板 10 之第一區 I 與第二區 II 上分別形成一圖案化複晶矽層 12，接著進行一低溫沉積製程，以於玻璃基板 10 上形成一閘極絕緣 (gate insulating, GI) 層 14，並覆蓋於圖案化複晶矽層 12 之上，隨後於閘極絕緣層 14 上形成一鋁金屬層 (未顯示於圖一中)，再進行一第二微影暨蝕刻製程，以於第一區 I 與第二區 II 之該鋁金屬層中分別形成 NLTPS TFT 34 與 PLTPS TFT 36 之閘極電極 (gate electrode) 16。

接著如圖二所示，利用閘極電極 16 當作一罩幕 (mask) 來進行一離子佈值製程 18，將磷離子植入未被閘極電極 16 所覆蓋之圖案化複晶矽層 12 中，以形成複數個 N 型輕摻雜區 20。如圖三所示，再於玻璃基板 10 上形成一光阻層 (未顯示於圖三中)，進行一第三微影暨蝕刻製程，以於該光阻層中形成一圖案化光阻層 22，覆蓋於第一區 I 之閘極電極 16 與第二區 II 上，然後進行一離子佈值製程 24，將砷離子植入未被圖案化光阻層 22 所覆蓋之圖案化複晶矽層 12 中，以形成二 N 型重摻雜區 26s 與 26d。其中，二 N 型重摻雜區 26s 與 26d 是分別用來當作 NLTPS TFT 34 之源極電極與汲極電極，且位於 N 型重摻雜區 26s 與 26d 兩側之二輕摻雜區 20 是用來當作 NLTPS TFT 34 之輕摻雜



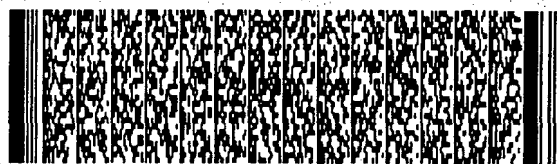
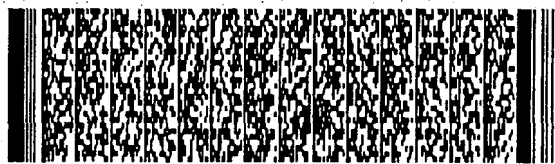
五、發明說明 (4)

汲極 (lightly doped drain, LDD)，而位於 NLTPS TFT34 之閘極電極 16 下方之未摻雜的圖案化複晶矽層 12 是用來當作 NLTPS TFT 34 之通道 (channel) 區。

之後去除剩餘的圖案化光阻層 22，如圖四所示，再於玻璃基板 10 上形成一另一光阻層 (未顯示於圖四中)，進行一第四微影暨蝕刻製程，以於該光阻層中形成一圖案化光阻層 28，接著利用圖案化光阻層 28 與 PLTPS TFT 36 之閘極電極 16 當作一罩幕來進行一離子佈值製程 30，將硼離子植入未被圖案化光阻層 28 與閘極電極 16 所覆蓋之圖案化複晶矽層 12 中，以形成二 P 型重摻雜區 32s 與 32d，分別用來當作 PLTPS TFT 36 之源極電極與汲極電極，而位於閘極電極 16 下方之未摻雜的圖案化複晶矽層 12 是用來當作 PLTPS TFT 36 之通道區。最後如圖五所示，去除剩餘的圖案化光阻層 28，以分別形成 NLTPS TFT 34 與 PLTPS TFT 36，完成習知 LTPS CMOS TFT 38 之製作。

簡而言之，習知製作 LTPS CMOS TFT 38 的方法，是先形成 NLTPS TFT36 與 PLTPS TFT 36 之閘極電極 16 之後，再分別形成 N 型輕摻雜汲極 20、N 型源極電極與汲極電極，以及 P 型源極電極與汲極電極。

上述之習知製作 LTPS CMOS TFT 38 的方法雖然已利

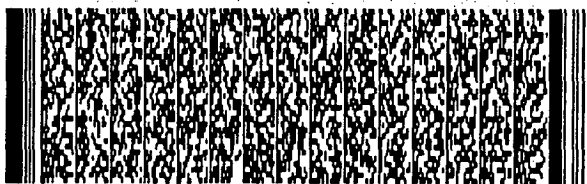


五、發明說明 (5)

用閘極電極 16 作為自行對準的罩幕來形成 N 型輕摻雜區 20，但是在形成 NLTPS TFT 34 的源極電極與汲極電極時，仍需要形成另一道光阻罩幕來進行佈值。然而當進行一微影製程以步進機 (stepper) 或掃描機台來定義光阻罩幕的圖案時，由於機器、基板、產品規格之不同或其他人為或非人為因素，便有可能發生對準度不佳，亦即重疊 (overlap) 或是錯位 (misalignment) 情形。例如，如圖三所示，可能會造成圖案化光阻層 22 發生往左偏移的情形，有部分圖案化複晶矽層 25 未被摻雜，而使得所形成的 N 型汲極電極範圍較預期的小，此外，也相對容易產生寬度不一致的輕摻雜汲極 20，這種不對稱 (asymmetry) 的輕摻雜汲極 20 不僅無法有效抑制熱電子效應 (hot electron effect)，甚至會產生閘極電極的漏電流而引發元件的提早崩潰。因此，如何製作寬度一致的輕摻雜汲極，並避免源極電極與汲極電極的範圍過於狹窄，以降低因微影製程所造成的對準度不佳的問題，藉此減少產出元件的缺陷並提高良率 (yield)，是目前 LTPS TFT 製作流程中的一大課題。

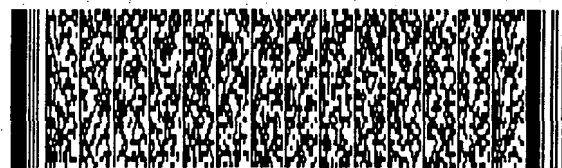
發明內容

本發明之一目的在於提供一種具有自行對準輕摻雜汲極、自行對準源極電極與汲極電極之 LTPS TFT 的製作方法，以避免因微影製程所造成的誤差。



本發明之另一目的在於提供一種自行對準 LTPS CMOS TFT的製作方法，以得到均勻對稱的輕摻雜汲極，且不須增加額外製程。

本發明之一較佳實施例係揭露了一種於一基板上製作一雙重自行對準 LTPS TFT的方法，該基板表面包含有至少一第一區與至少一第二區，係分別用來製作至少一 NLTPS TFT與至少一 PLTPS TFT。首先於該基板之該第一區與該第二區上分別形成一未摻雜圖案化複晶矽層，且各該未摻雜圖案化複晶矽層中皆包含有一源極區、一汲極區，以及一通道區，再於該基板上依序形成一介電層與一圖案化導電層，覆蓋於該等未摻雜圖案化複晶矽層之上，且該第一區之該圖案化導電層中包含有二第一開口，接著進行一第一離子佈值製程，將 N型摻質經由該二第一開口自行對準植入該未摻雜圖案化複晶矽層之該源極區與該汲極區中，以分別形成一 N型源極電極與一 N型汲極電極，然後去除該圖案化導電層之寬度一預定距離，以於該圖案化導電層中形成二第二開口，並同時定義出該 NLTPS TFT之一閘極電極，之後進行一第二離子佈值製程，將 N型摻質經由該二第二開口自行對準植入該第一區之該未摻雜圖案化複晶矽層中，以形成二 N型輕摻雜汲極，再於該第二區之該圖案化導電層中形成該 PLTPS TFT之一閘極電極，最後於該第二區之該源極區與該汲極



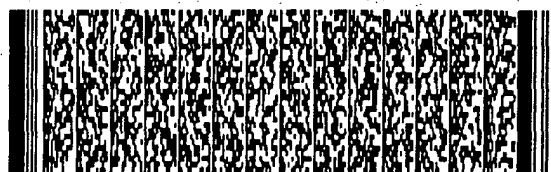
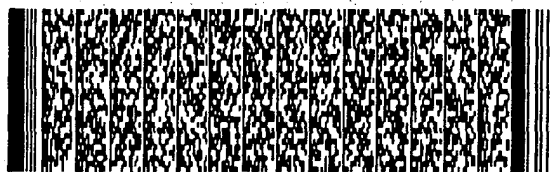
五、發明說明 (7)

區中分別形成該 PLTPS TFT之一 P型源極電極與一 P型汲極電極。

根據本發明所揭露製作 LTPS TFT之方法是先利用圖案化導電層當作一自行對準罩幕來形成 N型源極與 N型汲極，再利用縮小後之圖案化導電層當作一自行對準罩幕來形成 N型輕摻雜汲極，接著形成閘極電極，最後再利用閘極電極當作一自行對準罩幕來形成 P型源極與 P型汲極，因此本發明利用多次自行對準製程來形成 LTPS TFT，不但不會增加製程步驟，且可降低製程成本，並得到均勻對稱的 N型輕摻雜汲極，也能避免因為使用多道微影暨蝕刻製程所可能造成的對位不精準問題。

實施方式

本發明揭露一種同時形成 NLTPS TFT與 PLTPS TFT的方法，然而本發明之應用並不侷限於此。在本發明之較佳實施例中，本發明之自行對準方法亦也可用來形成由 NLTPS TFT與 PLTPS TFT所構成的 LTPS CMOS TFT。其中，利用本發明方法所形成之 NLTPS TFT、PLTPS TFT或 LTPS CMOS TFT係設於一液晶顯示器之周邊電路區(periphery circuit area)之內，用來作為該液晶顯示器之周邊電路的邏輯元件(logic device)，而用來作為該液晶顯示器之像素單元之開關元件(switching device)的 NLTPS

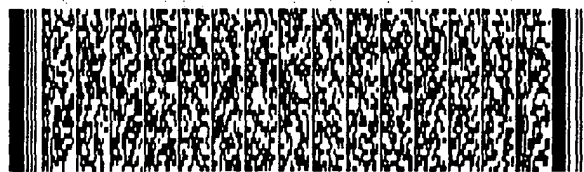
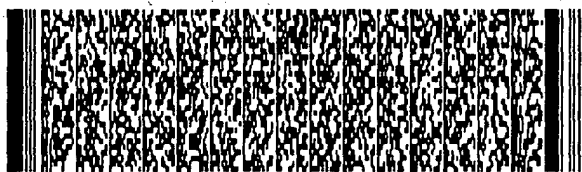


五、發明說明 (8)

TFT，則亦可利用本發明之方法同時形成於該液晶顯示器之像素陣列區 (pixel array area) 內。

現以製作 LTPS CMOS TFT 74 為例來作一說明。請參考圖六至圖十四，圖六至圖十四為本發明之較佳實施例製作 LTPS CMOS TFT 74 之方法示意圖。如圖六所示，本發明之 LTPS CMOS TFT 74 是製作於一基板 40 上，且基板 40 表面包含有一 NLTPS TFT 區 III 與一 PLTPS TFT 區 IV，是分別用來形成一 NLTPS TFT 70 與一 PLTPS TFT 72。其中，基板 40 是為一透明的絕緣基板，例如一玻璃基板或一石英基板。

本發明方法是先進行一濺鍍製程，以於基板 40 上形成一厚度約介於 400 埃至 600 埃 (angstrom, Å) 之非晶矽層 (未顯示於圖六與圖七中)，接著進行一回火製程，例如一準分子雷射退火 (excimer laser annealing, ELA) 製程，使得該非晶矽層再結晶成為一複晶矽層 (未顯示於圖六中)。然後進行一第一微影暨蝕刻製程，以於基板 40 之 NLTPS TFT 區 III 與 PLTPS TFT 區 IV 上分別形成一圖案化複晶矽層 42。其中，每一圖案化複晶矽層 42 包含有一源極區、一汲極區，以及一通道區 (皆未顯示於圖六中)。且值得注意的是，回火製程也可以實施於第一微影暨蝕刻製程之後。此外，基板 40 與非晶矽層之間可另形成一緩衝層 (未顯示於圖六中) 以保護基板 40 避免受到回火製程

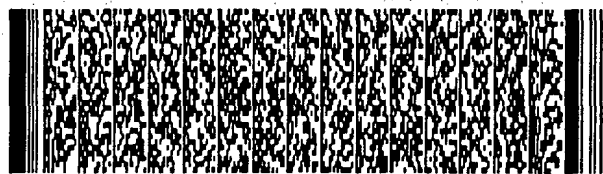
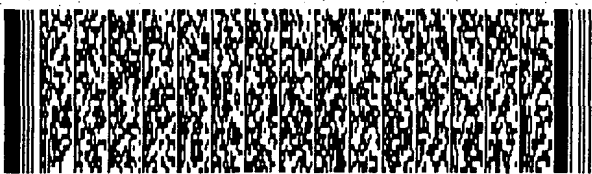


五、發明說明 (9)

與蝕刻製程之損傷。

接著進行一低溫沉積製程，以於基板 40 上形成一厚度約介於 600 至 800 埃之二氧化矽層或氮化矽層，用來當作一閘極絕緣層 44，並覆蓋於圖案化複晶矽層 42 之上，再於閘極絕緣層 44 上依序形成一導電層 46 與一光阻層（未顯示於圖六中）。然後進行一第二微影暨蝕刻製程，即先對該光阻層實施一黃光製程，以形成一圖案化光阻層 48，接著再蝕刻未被圖案化光阻層 48 所覆蓋之導電層 46，如圖七所示，以於導電層 46 中形成二開口 50。隨後進行一離子佈值製程 52，將 N 型摻質經由二開口 50 自行對準植入圖案化複晶矽層 42 之源極區與汲極區中，以分別形成 NLTPS TFT 70 之一源極電極 54s 與汲極電極 54d。其中，形成該導電層之材料係包含有鋁、鎢 (W)、鉻 (Cr) 或鉬 (Mo) 金屬，離子佈值製程 52 之佈值濃度約介於 $1E14$ 至 $1E16$ atoms/cm² 之間，且 N 型摻質係包含有砷原子 (arsenic, As) 或磷原子 (phosphorous, P)。

接著如圖八與圖九所示，進行一光阻縮小 (trimming) 製程，使得圖案化光阻層 48 之寬度縮小一預定距離 L，再進行一蝕刻製程，去除未被縮小之圖案化光阻層 55 所覆蓋之導電層 46，使得導電層 46 之二開口 50 的寬度變大，以形成二寬度較大之開口 56，並同時定義出 NLTPS TFT 70 之一閘極電極 58。然後進行一離子佈值製



五、發明說明 (10)

程 60，將 N 型摻質經由二開口 56 自行對準植入圖案化複晶矽層 42 中，以形成二 N 型輕摻雜汲極 60。其中，光阻縮小製程係包含有一灰化 (ash) 製程、一削光阻 (descum) 製程、一紫外光照射製程或一加熱固化 (curing) 製程，離子佈值製程 60 之佈值濃度約介於 $1E12$ 至 $1E14$ atoms/cm² 之間，且 N 型摻質係包含有磷原子或砷原子。

如圖十至圖十二所示，在去除縮小之圖案化光阻層 54 之後，便於基板 40 上方形成一光阻層 (未顯示於圖十至圖十二中)，然後進行一第三微影暨蝕刻製程：先於該光阻層中形成一圖案化光阻層 62，覆蓋於 NLTPS TFT 70 之閘極電極 58 與 PLTPS TFT 區 IV 之通道區之上，之後再進行一蝕刻製程，去除未被圖案化光阻層 62 所覆蓋之導電層 46，以形成 PLTPS TFT 72 之一閘極電極 64。值得注意的是，由於圖案化光阻層 62 係用來定義出 PLTPS TFT 72 之閘極電極 64 的圖案並同時用來保護 NLTPS TFT 70 之閘極電極 58，故圖案化光阻層 62 僅需完全覆蓋住 NLTPS TFT 72 之閘極電極 64 即可，因此在進行微影步驟時，可擁有較大的對準容忍度，就算有些微的偏移誤差，也可確保閘極電極 64 的完整性，以避免蝕刻製程對閘極電極 64 造成影響。

去除剩餘的圖案化光阻層 62 後，如圖十三與圖十四所示，再於基板 40 上方形成一光阻層 (未顯示於圖十三與

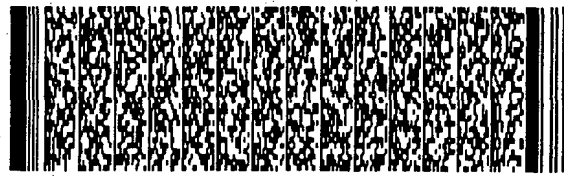


五、發明說明 (11)

圖十四中)，然後進行一第四微影暨蝕刻製程，先於該光阻層中形成一圖案化光阻層 66，接著進行一離子佈值製程 68，將 P 型摻質植入未被圖案化光阻層 62 與閘極電極 64 所覆蓋之圖案化複晶矽層 42 之源極區與汲極區中，以分別形成 PLTPS TFT 72 之源極電極 70s 與汲極電極 70d。最後去除圖案化光阻層 66，以分別形成 NLTPS TFT 70 與 PLTPS TFT 72，並完成本發明之 LTPS CMOS TFT 74 之製作。其中，離子佈值製程 68 之佈值濃度約介於 $1E14$ 至 $1E16$ atoms/cm² 之間，且 P 型摻質係包含有硼原子 (boron, B) 或氟化硼 (BF₂)。

接著請參考圖十五至圖二十一，圖十五至圖二十一為本發明之第二實施例製作 LTPS CMOS TFT 120 之方法示意圖。如圖十五所示，本發明之 LTPS CMOS TFT 120 是製作於一基板 80 上，且基板 80 表面包含有一 NLTPS TFT 區 V 與一 PLTPS TFT 區 VI，是分別用來形成一 NLTPS TFT 114 與一 PLTPS TFT 116。首先於基板 80 上形成一複晶矽層 (未顯示於圖十五中)，接著進行一第一微影暨蝕刻製程，以於基板 80 之 NLTPS TFT 區 V 與 PLTPS TFT 區 VI 上分別形成一圖案化複晶矽層 82，再於基板 80 上依序形成一閘極絕緣層 84，一導電層 86 與一光阻層 88。

然後進行一第二微影暨蝕刻製程，如圖十六與圖十七所示，先於光阻層 88 中形成二開口 90，再進行一等向



五、發明說明 (12)

性蝕刻製程，例如濕蝕刻製程，去除未被光阻層 88 所覆蓋之導電層 86，以於導電層 86 中形成二開口 92，且開口 92 之寬度大於開口 90 之寬度，並同時定義出 NLTPS TFT 114 之一閘極電極 94。然後利用光阻層 88 當作一罩幕來進行一 N 型離子佈值製程 96，以於圖案化複晶矽層 82 中形成二 N 型重摻雜區 98s 與 98d。接著去除光阻層 88，再利用閘極電極 94 與導電層 86 當作一罩幕來進行一 N 型離子佈值製程 100，以於 NLTPS TFT 區 V 之圖案化複晶矽層 82 中形成複數個 N 型輕摻雜區 102 與 104。其中，二 N 型重摻雜區 98s 與 98d 是分別用來當作 NLTPS TFT 114 之源極電極與汲極電極，且位於 N 型重摻雜區 98s 與 98d 兩側之二 N 型輕摻雜區 102 是用來當作 NLTPS TFT 114 之輕摻雜汲極，而位於 NLTPS TFT 114 之閘極電極 94 下方之未摻雜的圖案化複晶矽層 82 是用來當作 NLTPS TFT 114 之通道區。

如圖十八至十九所示，於基板 80 上方形成一光阻層（未顯示於圖十八中），進行一第三微影暨蝕刻製程，先於該光阻層中形成一圖案化光阻層 104，再蝕刻未被圖案化光阻層 104 所覆蓋之導電層 86，以形成 PLTPS TFT 116 之一閘極電極 106，然後利用圖案化光阻層 104 當作一罩幕來進行一離子佈值製程 108，以於 PLTPS TFT 區 VI 之源極區與汲極區中分別形成二 P 型重摻雜區 110s 與 110d，分別用來當作 PLTPS TFT 116 之源極電極與 P 型汲極電極。

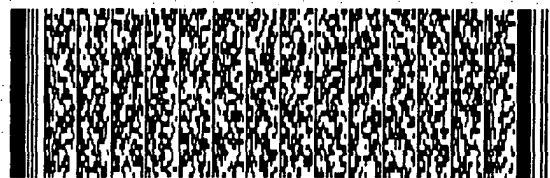
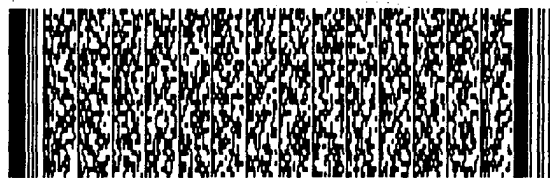


五、發明說明 (13)

如圖二十與圖二十一所示，在去除剩餘的圖案化光阻層 104 之後，隨即進行一第四微影暨蝕刻製程：先於基板 80 上形成一圖案化光阻層 112，覆蓋於 NLTPS TFT 114 之閘極電極 104 與 PLTPS TFT 116 之閘極電極 106 上方，再進行一蝕刻製程，去除未被圖案化光阻層 112 所覆蓋之導電層 86。最後去除圖案化光阻層 112，以分別形成 NLTPS TFT 114 與 PLTPS TFT 116，並完成本發明之 LTPS CMOS TFT 120 的製作。

值得注意的是，在上述之本發明各實施例中，係以形成一上閘極結構之 LTPS CMOS TFT 為主要目的，然本發明之應用並不侷限於此，本發明方法亦可以同時形成低溫複晶矽薄膜電晶體液晶顯示器 (LTPS TFT-LCD) 之掃描線、資料線、儲存電容與其他低溫複晶矽薄膜電晶體。此外，在本發明之較佳實施例與第二實施例中，係各別揭露兩種形成 NLTPS TFT 與 PLTPS TFT 之方法，然而本發明之製作方法並不限定於此，本發明亦可利用較佳實施例中所敘述之方法形成 NLTPS TFT (如圖六至圖十)，再利用第二實施例中所敘述的方法形成 PLTPS TFT (如圖十一至圖十四)，反之亦然。

簡言之，本發明製作 LTPS CMOS TFT 之方法是先利用圖案化導電層當作一自行對準罩幕，來形成 N 型源極電極與 N 型汲極電極，再利用縮小後之圖案化導電層當作一自

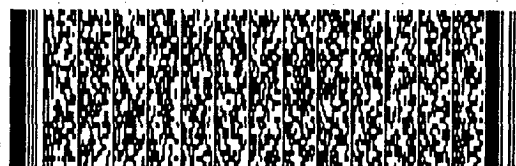
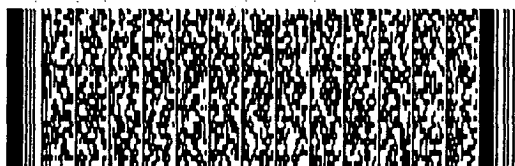


五、發明說明 (14)

行對準罩幕，來形成 N 型輕摻雜汲極，接著再形成閘極電極，最後利用閘極電極當作一自行對準罩幕，來形成 P 型源極電極與 P 型汲極電極，因此本發明利用多次自行對準製程來形成 LTPS CMOS TFT，不但不會增加製程步驟，且可降低製程成本，並得到均勻對稱的 N 型輕摻雜汲極，也能避免因為使用多道微影暨蝕刻製程所可能造成的對位不精準問題。

相較於習知製作 LTPS TFT 的方法，本發明主要利用多道自行對準製程來分別形成源極電極、汲極電極與輕摻雜汲極，因此可避免因多道微影製程所產生的錯位問題，且本發明方法與習知方法皆使用四道微影暨蝕刻製程，因此完全不會增加製程步驟，且可提昇產品的可靠度與電性表現。又本發明之自行對準方法不僅可用來分別形成 NLTPS TFT 與 PLTPS TFT，亦適用於 LTPS CMOS TFT 的製程中。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所作之均等變化與修飾，皆應屬本發明之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

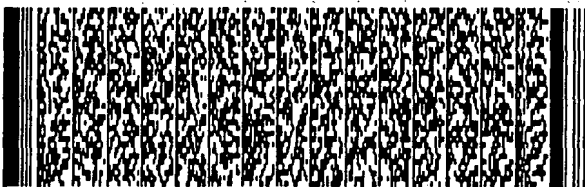
圖一至圖五為習知製作 LTPS CMOS TFT 之方法示意圖。

圖六至圖十四為根據本發明製作 LTPS CMOS TFT 之方法較佳實施例之示意圖。

圖十五至圖二十一為本發明之第二實施例製作 LTPS CMOS TFT 之方法示意圖。

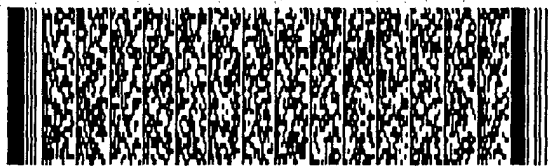
圖式之符號說明

10	玻璃基板	12	圖案化複晶矽層
14	閘極絕緣層	16	閘極電極
18	離子佈值製程	20	N型輕摻雜區
22	圖案化光阻層	24	離子佈值製程
26s	N型源極電極	26d	N型汲極電極
28	圖案化光阻層	30	離子佈值製程
32s	P型源極電極	32d	P型汲極電極
34	NLTPS TFT	36	PLTPS TFT
38	LTPS CMOS TFT		
40	基板	42	圖案化複晶矽層
44	閘極絕緣層	46	導電層
48	圖案化光阻層	50	開口
52	離子佈值製程	54s	N型源極電極



圖式簡單說明

54d	N型汲極電極	55	縮小之圖案化光阻層
56	開口	58	閘極電極
60	離子佈值製程	62	圖案化光阻層
64	閘極電極	66	圖案化光阻層
68	離子佈值製程	70	NLTPS TFT
72	PLTPS TFT	74	LTPS CMOS TFT
80	基板	82	圖案化複晶矽層
84	閘極絕緣層	86	導電層
88	圖案化光阻層	90	開口
92	開口	94	閘極電極
96	離子佈值製程	98s	N型源極電極
98d	N型汲極電極	100	離子佈值製程
102	N型輕摻雜汲極		
104	圖案化光阻層	106	閘極電極
108	離子佈值製程	110s	P型源極電極
110d	P型汲極電極	112	圖案化光阻層
114	NLTPS TFT	116	PLTS TFT
120	LTPS CMOS TFT		



六、申請專利範圍

1. 一種於基板上製作雙重自行對準低溫複晶矽薄膜電晶體 (low temperature polysilicon thin film transistor, LTPS TFT) 的方法，該基板表面包含有至少一第一區與至少一第二區，係分別用來製作至少一 N 型 LTPS TFT 與至少一 P 型 LTPS TFT，該方法至少包含下列步驟：

於該基板之第一區與第二區上分別形成一未摻雜 (undoped) 圖案化複晶矽層，且各該未摻雜圖案化複晶矽層中皆包含有一源極區、一汲極區，以及一通道區；

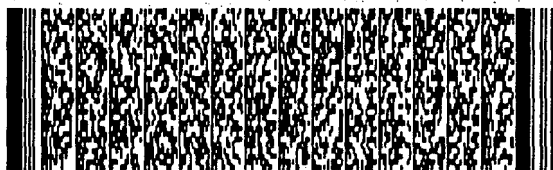
於該基板上方依序形成一介電層與一圖案化導電層，覆蓋於該等未摻雜圖案化複晶矽層之上，且該第一區之該圖案化導電層中包含有二第一開口；

進行第一離子佈值製程，將 N 型摻質經由該二第一開口自行對準植入該未摻雜圖案化複晶矽層之該源極區與該汲極區中，以分別形成一 N 型源極電極 (source electrode) 與一 N 型汲極電極 (drain electrode)；

去除該圖案化導電層之寬度一預定距離，以於該圖案化導電層中形成二第二開口，並同時定義出該 N 型 LTPS TFT 之一閘極電極；

進行第二離子佈值製程，將 N 型摻質經由該二第二開口自行對準植入該第一區之該未摻雜圖案化複晶矽層中，以形成二 N 型輕摻雜汲極 (lightly doped drain, LDD)；

於該第二區之該圖案化導電層中形成該 P 型 LTPS TFT



六、申請專利範圍

之一 閘極電極；以及

於該第二區之該源極區與該汲極區中分別形成該 P型 LTPS TFT之一 P型源極電極與一 P型汲極電極。

2. 如申請專利範圍第 1項之方法，其中該基板係為一玻璃基板或一石英 (quartz) 基板。

3. 如申請專利範圍第 1項之方法，其中該基板與該等未摻雜圖案化複晶矽層之間另包含有一緩衝層。

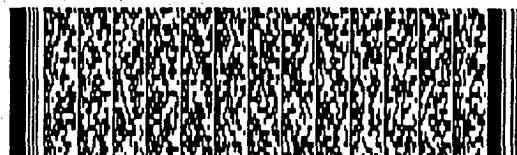
4. 如申請專利範圍第 1項之方法，其中形成各該未摻雜圖案化複晶矽層的步驟另包含有下列步驟：

進行一濺鍍 (sputtering) 製程，以於該基板表面形成一非晶矽層 (amorphous silicon layer, α -Si layer)；
進行一回火 (annealing) 製程，使得該非晶矽層再結晶 (recrystallize) 以形成一複晶矽層；以及

進行一微影暨蝕刻製程 (photo-etching process, PEP)，以於該第一區與該第二區之該複晶矽層中分別形成各該未摻雜圖案化複晶矽層。

5. 如申請專利範圍第 1項之方法，其中形成該介電層之材料係包含有一矽氧層或一氮矽層。

6. 如申請專利範圍第 1項之方法，其中於該圖案化導電



六、申請專利範圍

層中形成該二第一開口與該二第二開口的步驟另包含有下列步驟：

於該介電層上形成一導電層與一第一圖案化光阻層；
去除未被該第一圖案化光阻層所覆蓋之該導電層，以於該第一區之該導電層中形成該二第一開口；
進行一光阻縮小 (trimming) 製程，使得該第一圖案化光阻層之寬度縮小該預定距離；
去除未被該縮小之該第一圖案化光阻層所覆蓋之該導電層，以於該第一區之該導電層中形成該二第二開口；以及去除該縮小之第一圖案化光阻層。

7. 如申請專利範圍第6項之方法，其中各該第一開口之寬度係小於各該第二開口之寬度。

8. 如申請專利範圍第6項之方法，其中形成該導電層之金屬材料係選自由鋁、鎢 (W)、鉻 (Cr) 及鉬 (Mo) 所組成的群組。

9. 如申請專利範圍第6項之方法，其中該光阻縮小製程係包含有一灰化 (ash) 製程、一削光阻 (descum) 製程、一紫外光照射製程或一加熱固化 (curing) 製程。

10. 如申請專利範圍第1項之方法，其中該第一離子佈值製程之佈值濃度約介於 $1E14$ 至 $1E16$ atoms/cm² 之間，且該



六、申請專利範圍

N型摻質係包含有砷原子 (arsenic, As) 或磷原子 (phosphorous, P)。

11. 如申請專利範圍第 1 項之方法，其中該第二離子佈值製程之佈值濃度約介於 $1E12$ 至 $1E14$ atoms/cm² 之間，且該 N 型摻質係包含有磷原子或砷原子。

12. 如申請專利範圍第 1 項之方法，其中形成該 P 型 LTPS TFT 之該閘極電極的步驟另包含有下列步驟：

於該基板上方形形成一第二圖案化光阻層，覆蓋於該第一區之該閘極電極與該第二區之該通道區之上；

去除未被該第二圖案化光阻層所覆蓋之該圖案化導電層，以於該第二區之該圖案化導電層中形成該 P 型 LTPS

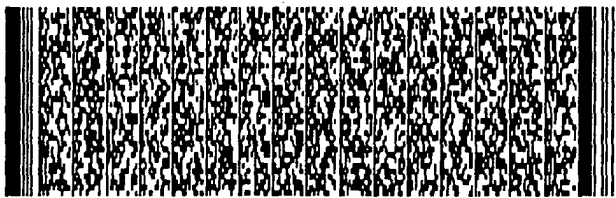
TFT 之該閘極電極；以及

去除該第二圖案化光阻層。

13. 如申請專利範圍第 12 項之方法，其中形成該 P 型源極電極與該 P 汲極電極的步驟另包含有下列步驟：

於該基板上方形形成一第三圖案化光阻層，且該第三圖案化光阻層暴露出該第二區之該源極區與該汲極區；

進行一第三離子佈值製程，將 P 型摻質植入未被該第三圖案化光阻層所覆蓋之該源極區與該汲極區中，以分別形成該 P 型 LTPS TFT 之該 P 型源極電極與該 P 汲極電極；以及
去除該第三圖案化光阻層



六、申請專利範圍

14. 如申請專利範圍第13項之方法，其中該第三離子佈值製程之佈值濃度約介於 $1E14$ 至 $1E16$ atoms/cm² 之間，且該 P 型摻質係包含有硼原子 (boron, B) 或氟化硼 (BF₂)。

15. 如申請專利範圍第1項之方法，其中形成該 P 型 LTPS TFT 之該閘極電極、該 P 型源極電極與該 P 型汲極電極的方法另包含有下列步驟：

於該基板上方形形成一第四圖案化光阻層，且該第四圖案化光阻層暴露出該第二區上之該源極區與該汲極區；

去除未被該第四圖案化光阻層所覆蓋之該圖案化導電層，以形成該 P 型 LTPS TFT 之該閘極電極；

進行一第四離子佈值製程，以於該第二區上之該源極區與該汲極區中形成該 P 型 LTPS TFT 之該 P 型源極電極與該 P 型汲極電極；

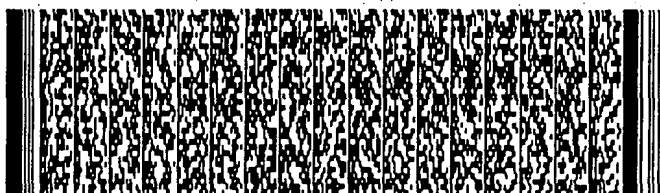
去除該第四圖案化光阻層；

於該基板上方形形成一第五圖案化光阻層，覆蓋於該第一區之該閘極電極與該第二區之該閘極電極之上；

去除未被該第五圖案化光阻層所覆蓋之該圖案化導電層；以及

去除該第五圖案化光阻層。

16. 如申請專利範圍第1項之方法，其中該 N 型 LTPS TFT 係設於該基板之一像素陣列區 (pixel array area) 內，



六、申請專利範圍

係用來作為一液晶顯示器 (liquid crystal display, LCD) 之像素單元的開關元件 (switching device)。

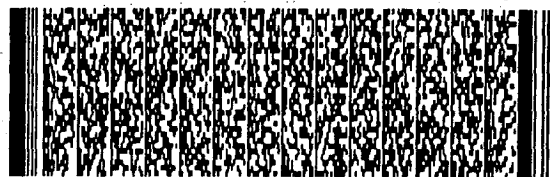
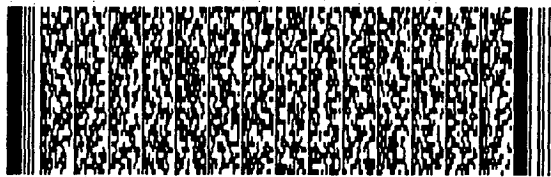
17. 如申請專利範圍第 16 項之方法，其中該 P 型 LTPS TFT 與該 N 型 LTPS TFT 係構成一低溫複晶矽互補式金氧半導體薄膜電晶體 (LTPS complementary metal-oxide-semiconductor TFT, LTPS CMOS TFT)，且該 LTPS CMOS TFT 係設於該液晶顯示器之一周邊電路區 (periphery circuit area) 之內，係用來作為該液晶顯示器之周邊電路的邏輯元件 (logic device)。

18. 一種於一基板上製作一雙重自行對準低溫複晶矽薄膜電晶體 (low temperature polysilicon thin film transistor, LTPS TFT) 的方法，該基板表面包含有至少一第一區與至少一第二區，係分別用來製作至少一 N 型 LTPS TFT 與至少一 P 型 LTPS TFT，該方法包含有下列步驟：

於該基板之該第一區與該第二區上分別形成一未摻雜圖案化複晶矽層；

於該基板上方依序形成一介電層、一導電層與一第一圖案化光阻層，且該第一區之該第一圖案化光阻層中包含有二第一開口；

進行一等向性蝕刻製程，經由該二第一開口來去除未被該第一圖案化光阻層所覆蓋之該導電層，以於該第



六、申請專利範圍

一區之該導電層中形成第一開口，並同時定義出該 N型 LTPS TFT之一閘極電極 (gate electrode)；

利用該第一圖案化光阻層當作一罩幕，將 N型摻質自行對準植入該第一區之該未摻雜圖案化複晶矽層中，以形成該 N型 LTPS TFT之一 N型源極電極與一 N型汲極電極；

去除該第一圖案化光阻層；

利用該導電層當作一罩幕，將 N型摻質自行對準植入該第一區之該未摻雜圖案化複晶矽層中，以形成該 N型 LTPS TFT之二 N型輕摻雜汲極 (lightly doped drain, LDD)；

於該第二區之該導電層中形成該 P型 LTPS TFT之一閘極電極；以及

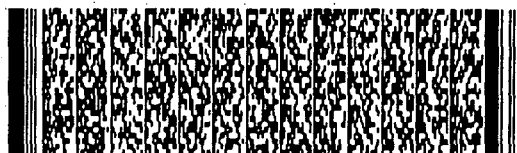
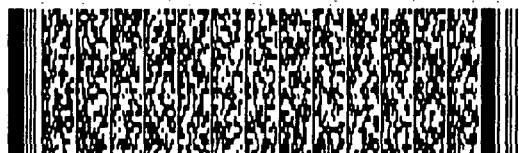
於該第二區之該未摻雜圖案化複晶矽層中分別形成該 P型 LTPSTFT之一 P型源極電極與一 P型汲極電極。

19. 如申請專利範圍第 18項之方法，其中該基板係為一玻璃基板或一石英 (quartz) 基板。

20. 如申請專利範圍第 18項之方法，其中該基板與該等未摻雜圖案化複晶矽層之間另包含有一緩衝層。

21. 如申請專利範圍第 18項之方法，其中形成各該未摻雜圖案化複晶矽層的方法另包含有下列步驟：

進行一濺鍍 (sputtering) 製程，以於該基板表面形成一



六、申請專利範圍

非晶矽層 (amorphous silicon layer, α -Si layer); 進行一回火 (annealing) 製程, 使得該非晶矽層再結晶 (recrystallize) 以形成一複晶矽層; 以及進行一微影暨蝕刻製程 (photo-etching process, PEP), 以於該第一區與該第二區之該複晶矽層中分別形成各該未摻雜圖案化複晶矽層。

22. 如申請專利範圍第 18 項之方法, 其中形成該介電層之材料係包含有一矽氧層或一氮矽層。

23. 如申請專利範圍第 18 項之方法, 其中該第一圖案化光阻層之各該第一開口之寬度係小於該導電層之各該第二開口之寬度。

24. 如申請專利範圍第 18 項之方法, 其中形成該導電層之材料係包含有鋁、鎢 (W)、鉻 (Cr) 或鉬 (Mo) 金屬。

25. 如申請專利範圍第 18 項之方法, 其中該 N 型摻質係包含有砷原子 (arsenic, As) 或磷原子 (phosphorous, P)。

26. 如申請專利範圍第 18 項之方法, 其中該 P 型摻質係包含有硼原子 (boron, B) 或氟化硼 (BF_2)。

27. 如申請專利範圍第 18 項之方法, 其中形成該 P 型 LTPS



六、申請專利範圍

TFT之該閘極電極的方法另包含有下列步驟：

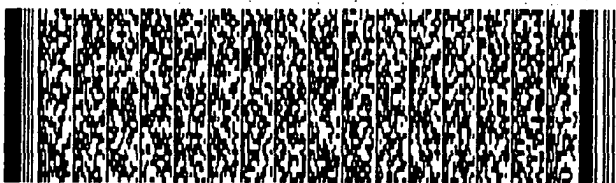
於該基板上方形成一第一圖案化光阻層，覆蓋於該第一區之該閘極電極與該第二區之一通道(channel)區之上；
去除未被該第一圖案化光阻層所覆蓋之該導電層，以於該第二區之該導電層中形成該P型LTPS TFT之該閘極電極；以及
去除該第一圖案化光阻層。

28. 如申請專利範圍第27項之方法，其中形成該P型源極電極與該P汲極電極的方法另包含有下列步驟：

於該基板上方形成一第二圖案化光阻層；
利用該第二圖案化光阻層與該P型LTPS TFT之該閘極電極當作一罩幕，將P型摻質自行對準植入該第二區之該未摻雜圖案化複晶矽層中，以分別形成該P型LTPS TFT之該P型源極電極與該P型汲極電極；以及
去除該第二圖案化光阻層

29. 如申請專利範圍第18項之方法，其中形成該P型LTPS TFT之該閘極電極、該P型源極電極與該P型汲極電極的方法另包含有下列步驟：

於該基板上方形成一第三圖案化光阻層，且該第三圖案化光阻層暴露出該第二區之該未摻雜圖案化複晶矽層之一源極區與一汲極區；
去除未被該第四圖案化光阻層所覆蓋之該導電層，以形

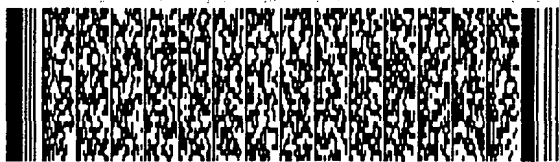


六、申請專利範圍

成該 P型 LTPS TFT之該閘極電極；
利用該 P型 LTPS TFT之該閘極電極與該第四圖案化光阻層當作一罩幕，將 P型摻質自行對準植入該第二區之該未摻雜圖案化複晶矽層中，以分別形成該 P型 LTPS TFT該 P型源極電極與該 P汲極電極；
去除該第三圖案化光阻層；
於該基板上形成一第四圖案化光阻層，覆蓋於該 N型 LTPS TFT之該閘極電極與該 P型 LTPS TFT之該閘極電極之上；
去除未被該第四圖案化光阻層所覆蓋之該導電層；
去除該第四圖案化光阻層。

30. 如申請專利範圍第 18項之方法，其中該 N型 LTPS TFT係設於該基板之一像素陣列區 (pixel array area)內，係用來作為一液晶顯示器 (liquid crystal display, LCD)之像素單元的開關元件 (switching device)。

31. 如申請專利範圍第 30項之方法，其中該 P型 LTPS TFT與該 N型 LTPS TFT係構成一低溫複晶矽互補式金氧半導體薄膜電晶體 (LTPS complementary metal-oxide-semiconductor TFT, LTPS CMOS TFT)，且該 LTPS CMOS TFT係設於該液晶顯示器之一周邊電路區 (periphery circuit area)之內，係用來作為該液晶顯示器之周邊電路的邏輯元件 (logic device)。

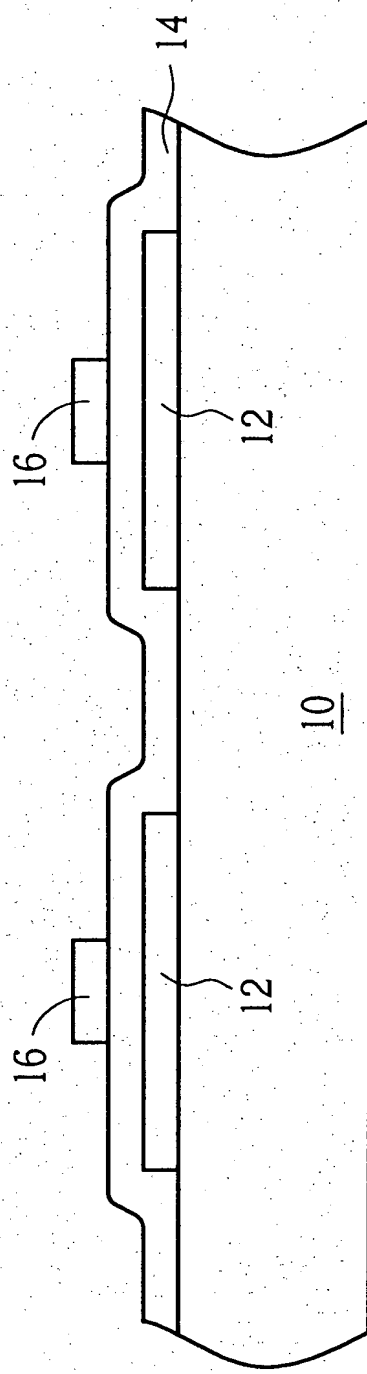


六、申請專利範圍

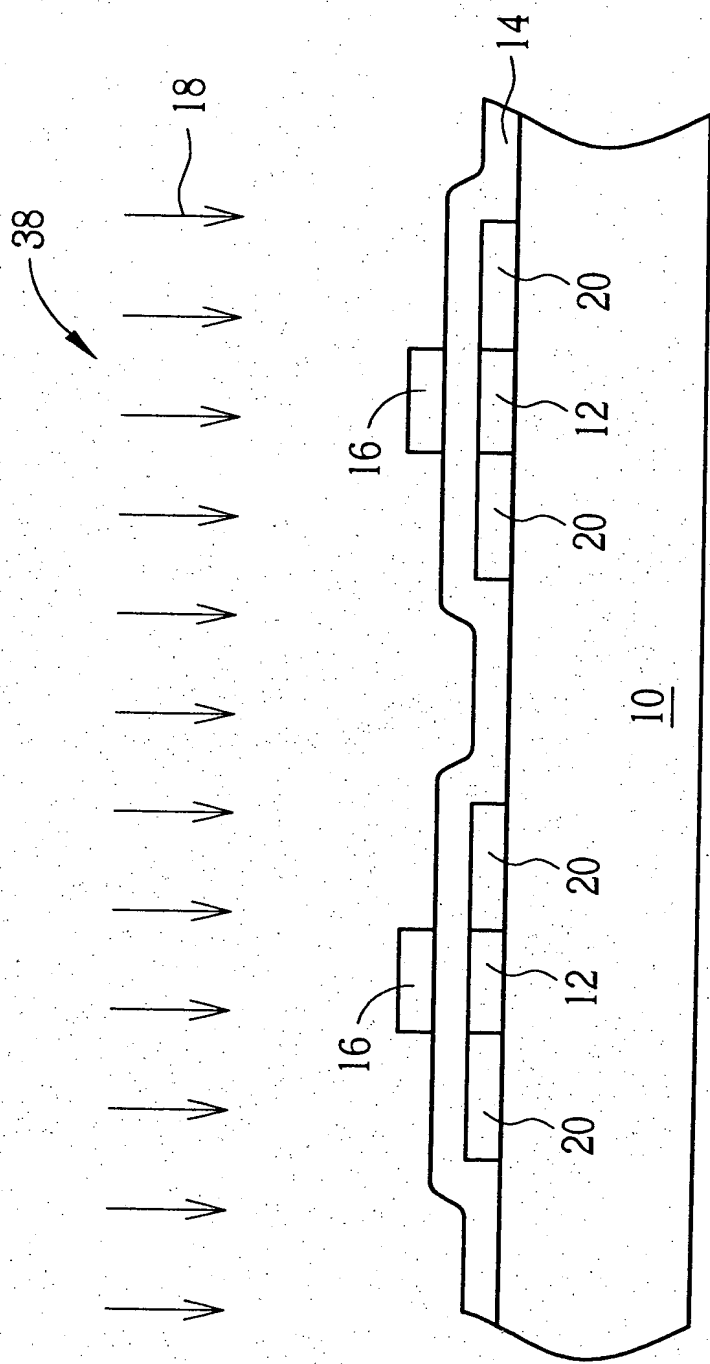
32. 如申請專利範圍第18項之方法，其中該等向性蝕刻製程係為一濕蝕刻製程。



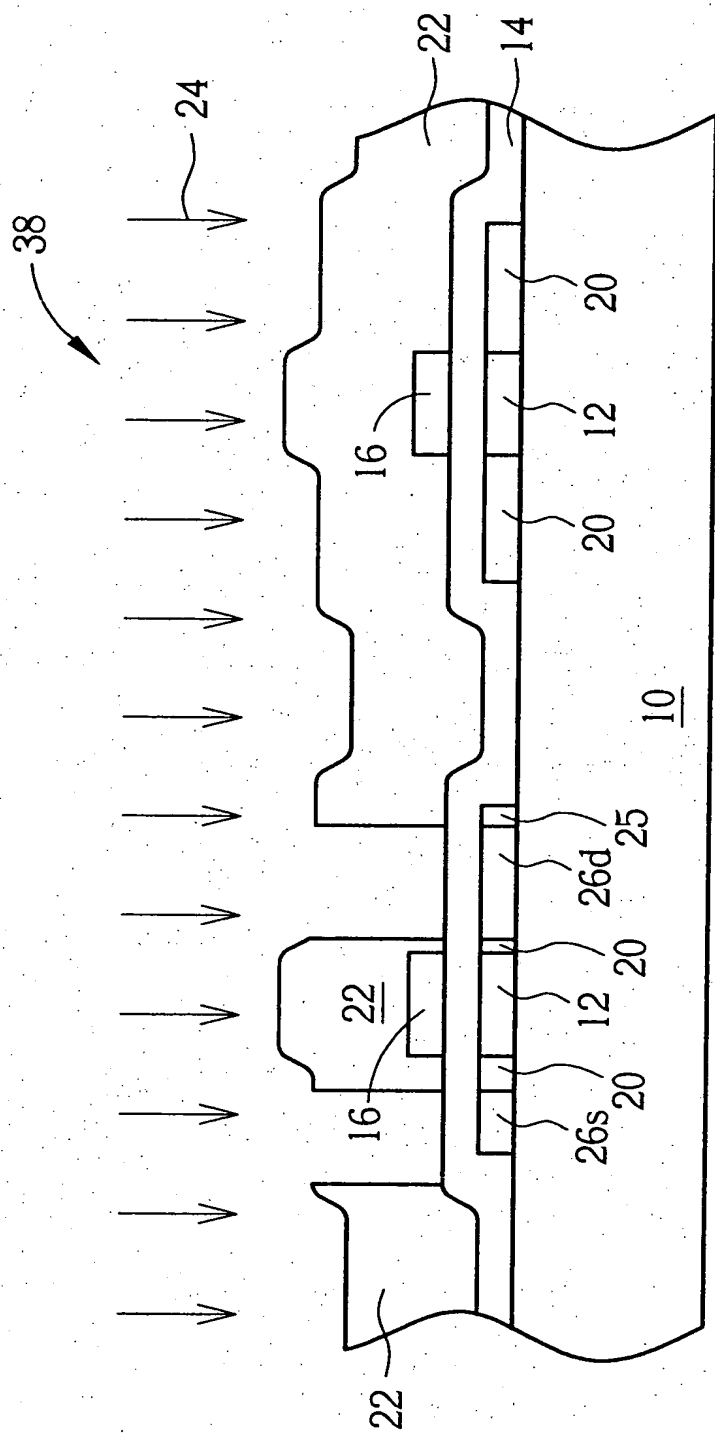
38



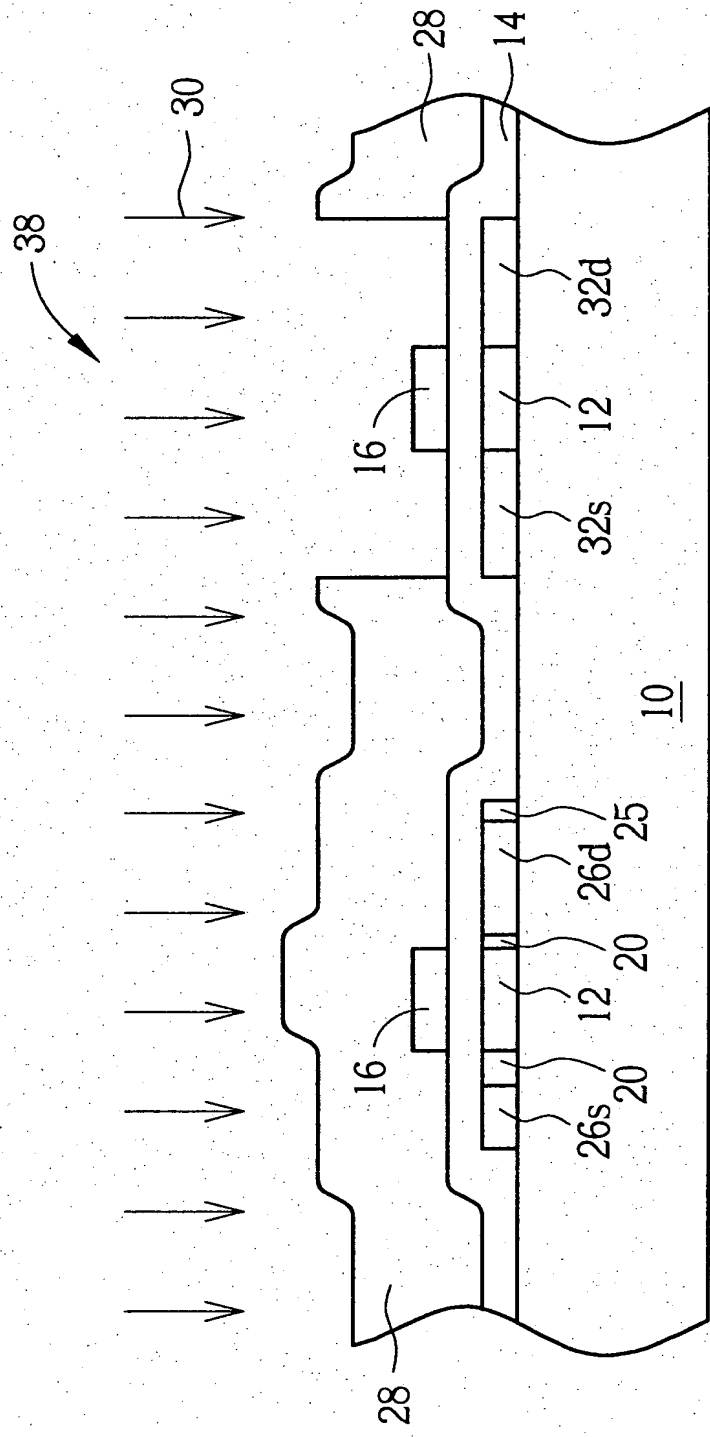
圖一



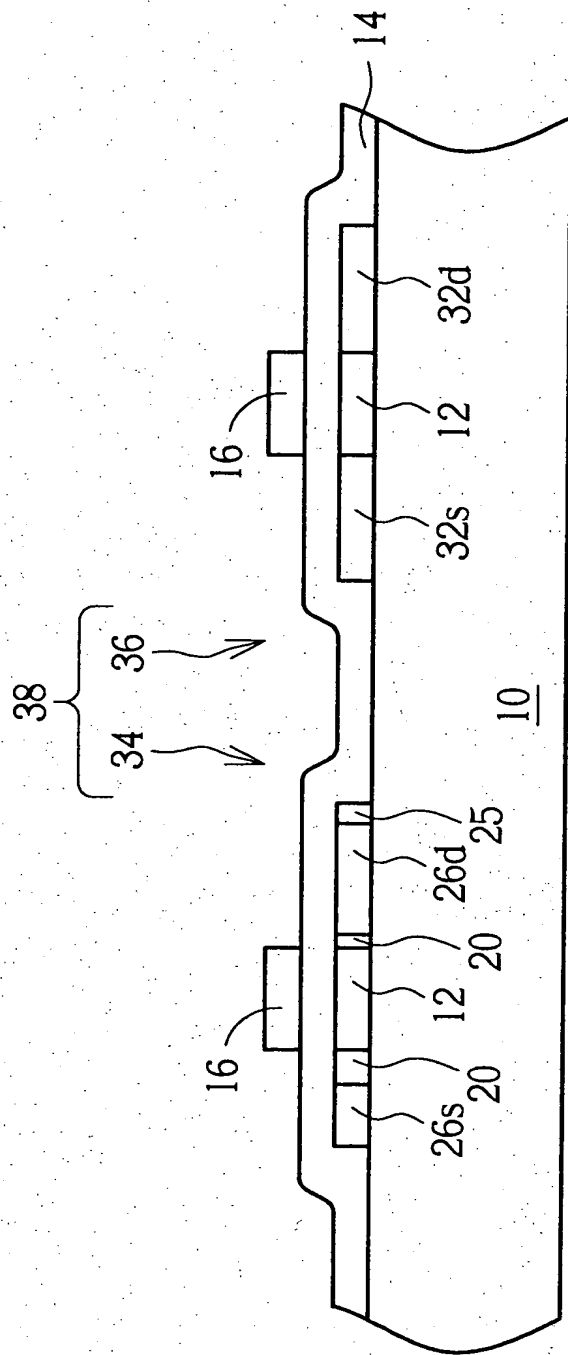
圖二



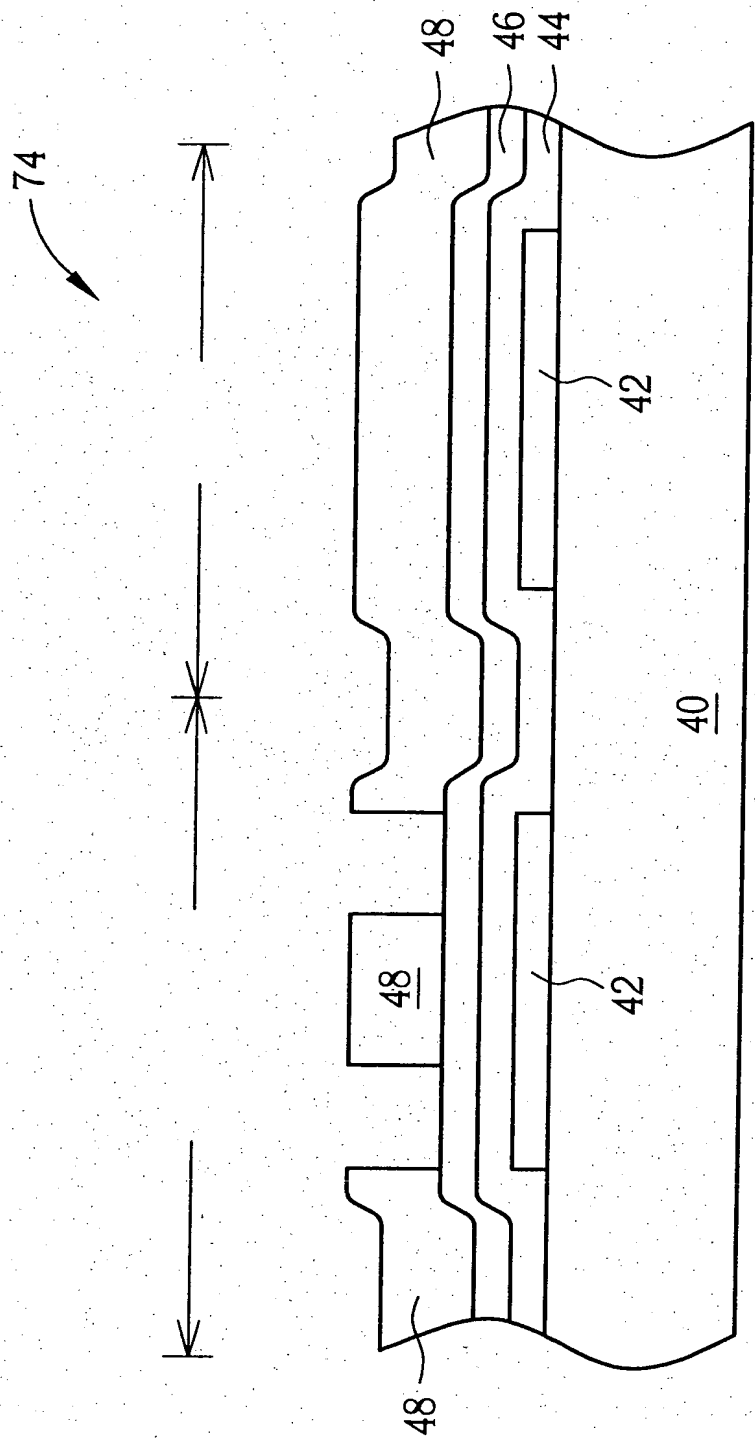
圖三



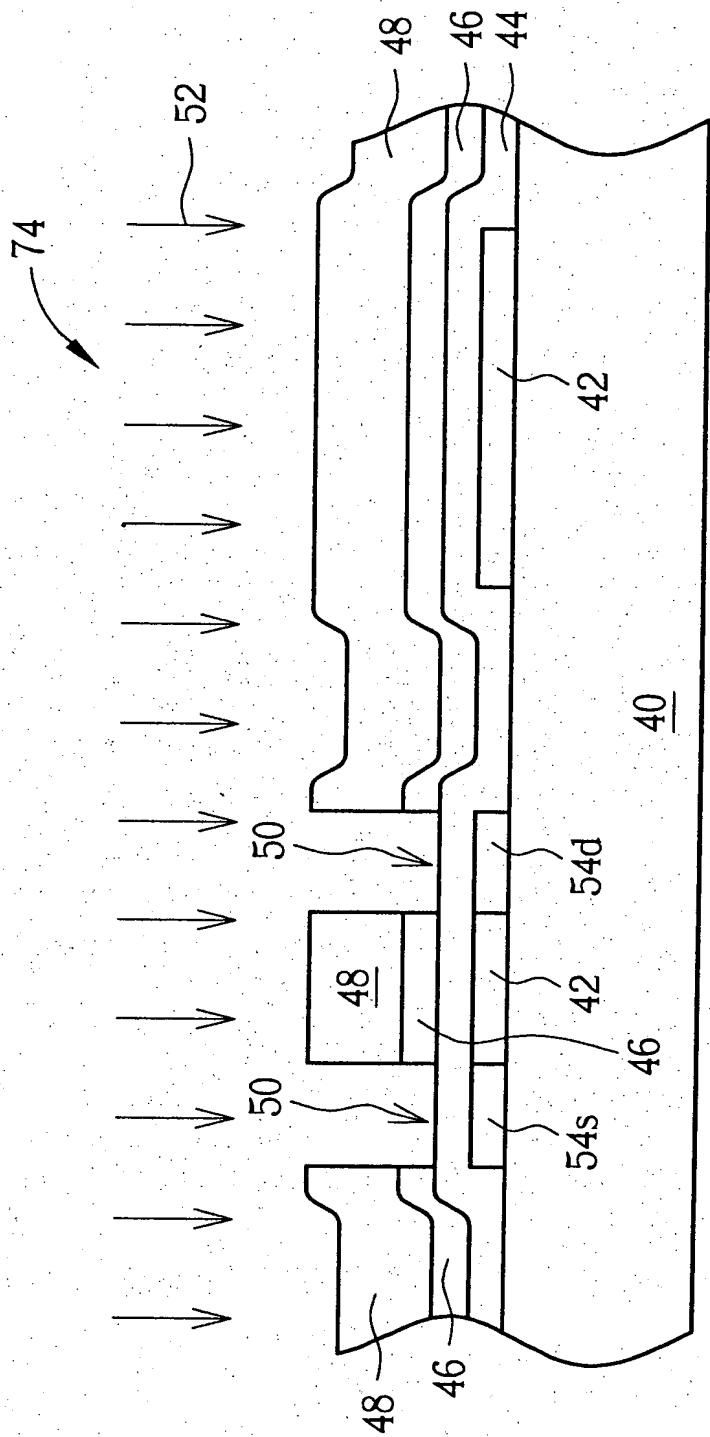
圖四



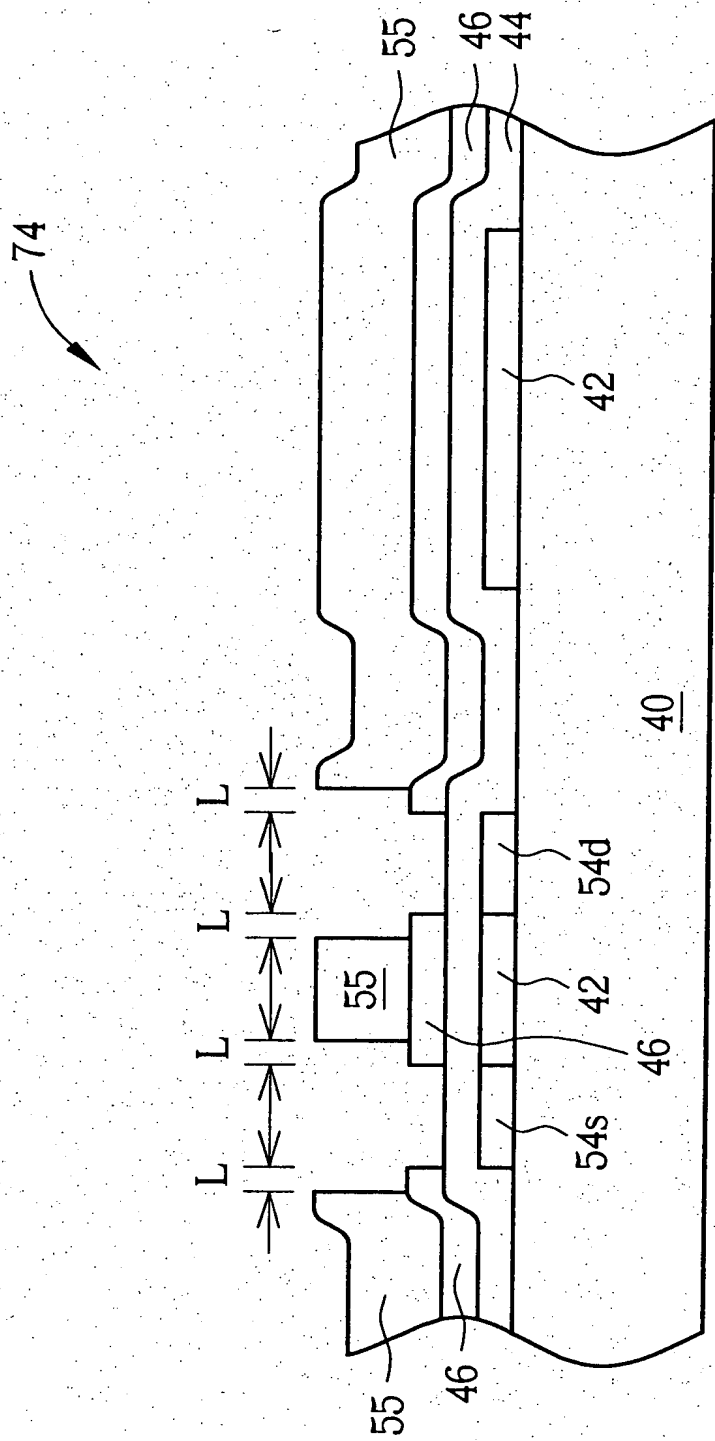
圖五



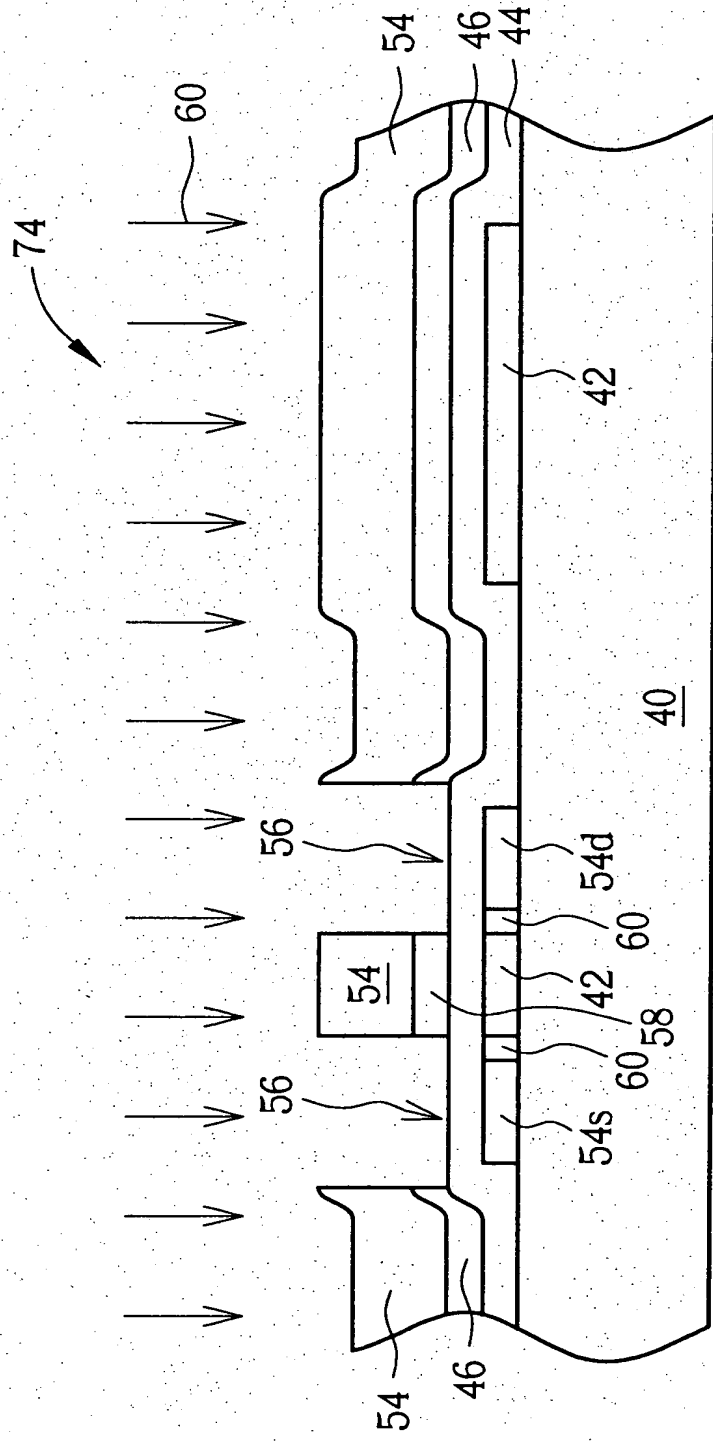
圖六



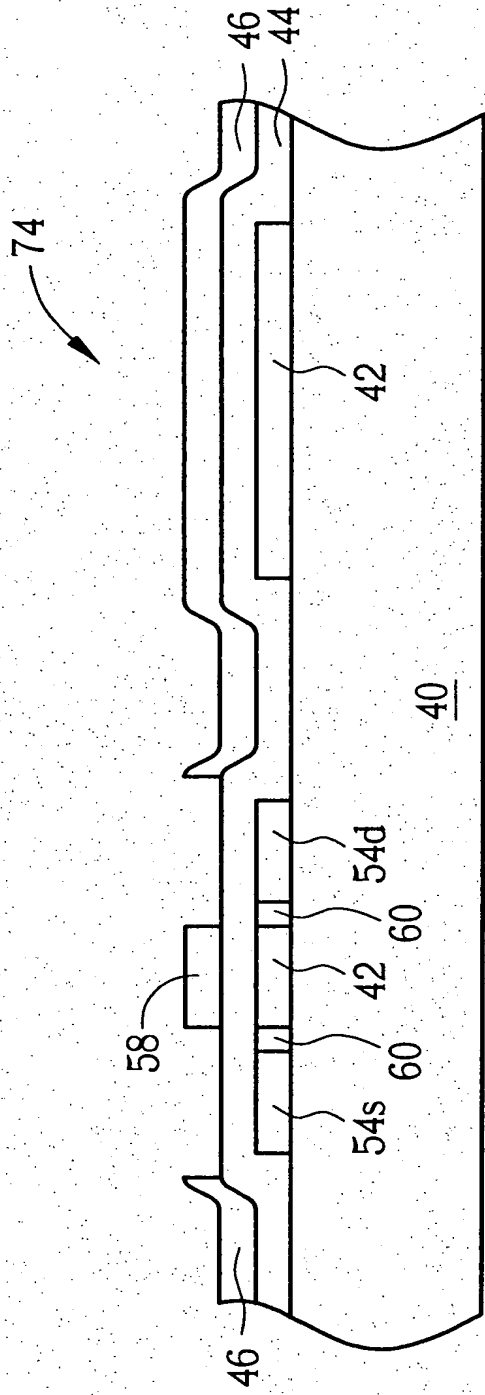
圖七



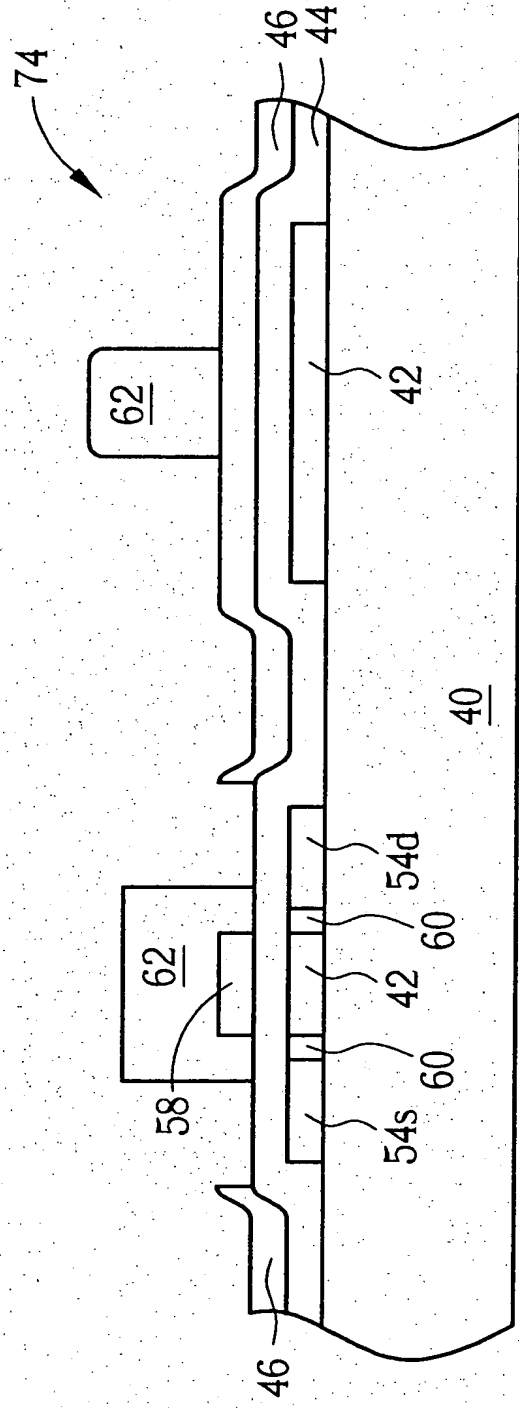
圖八



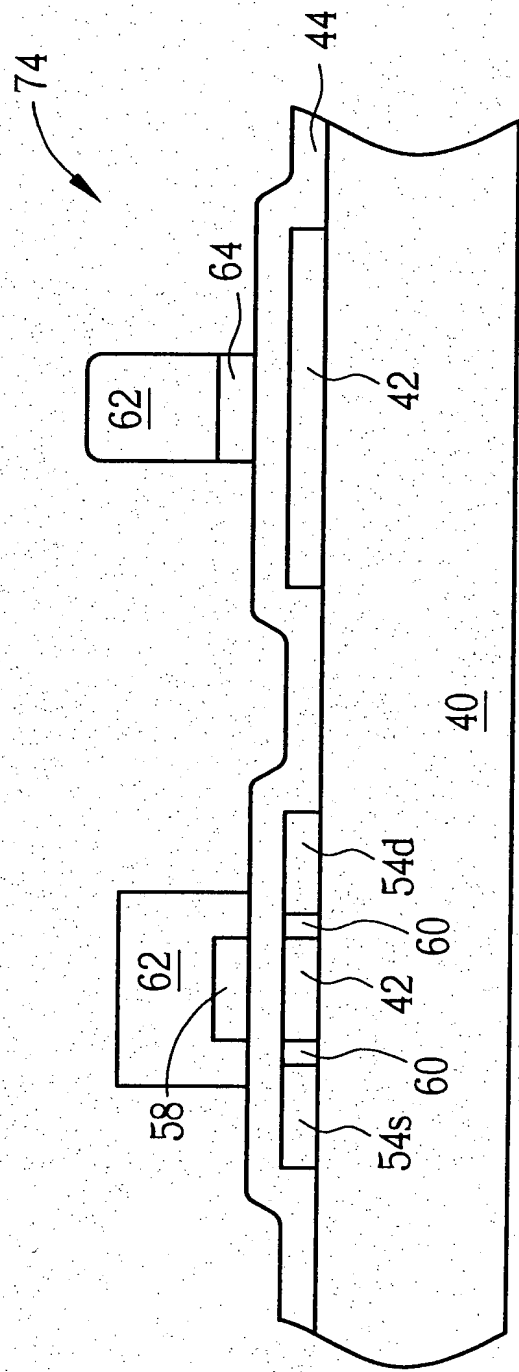
圖九



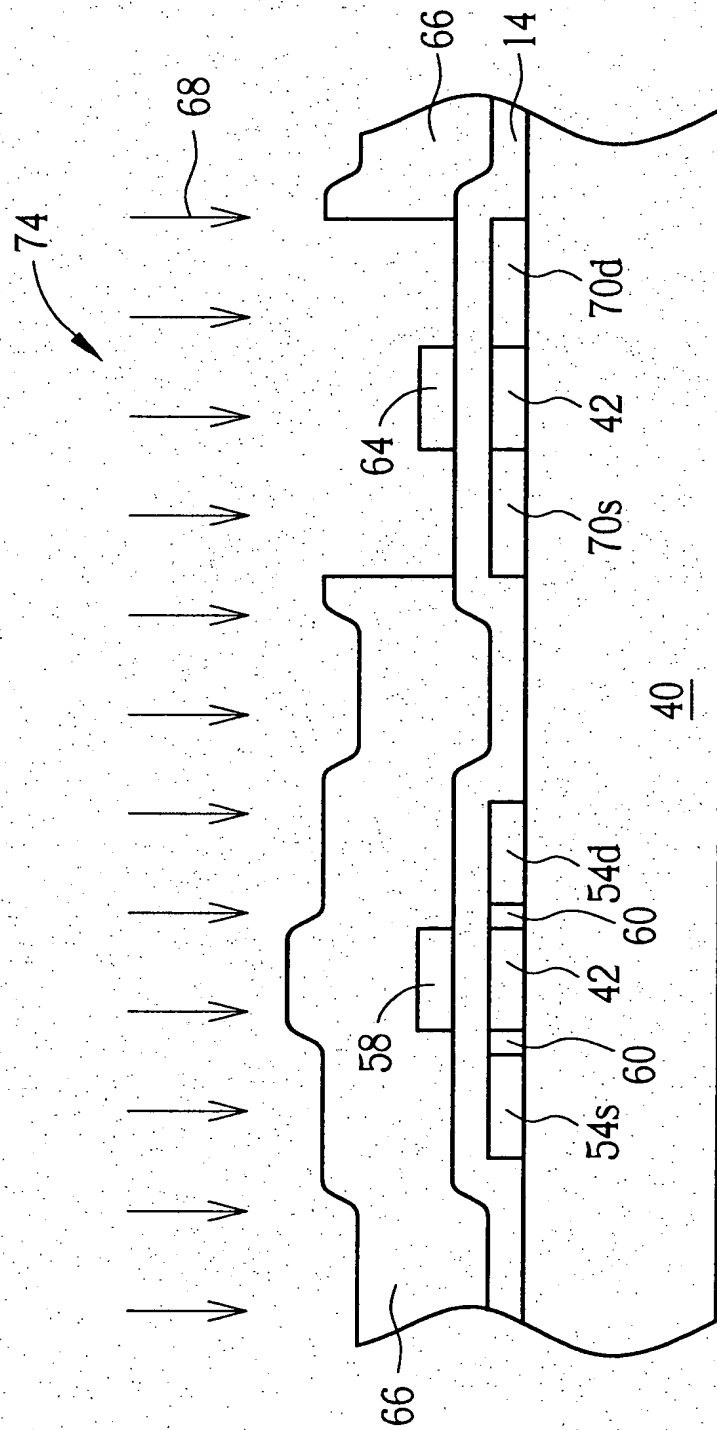
圖十



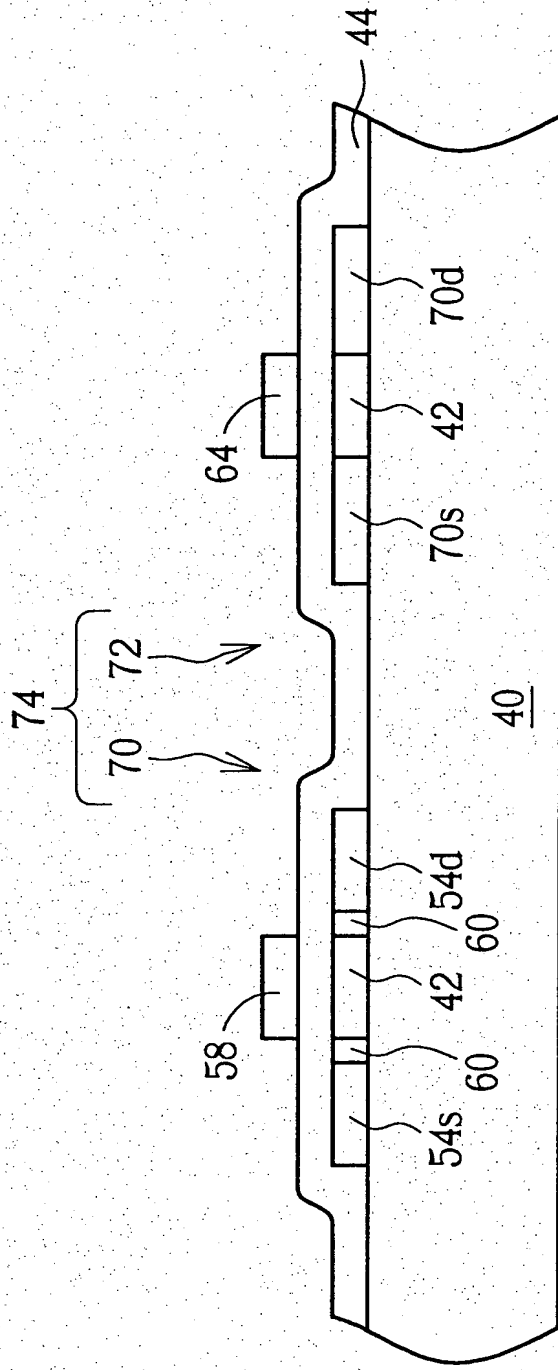
圖十一



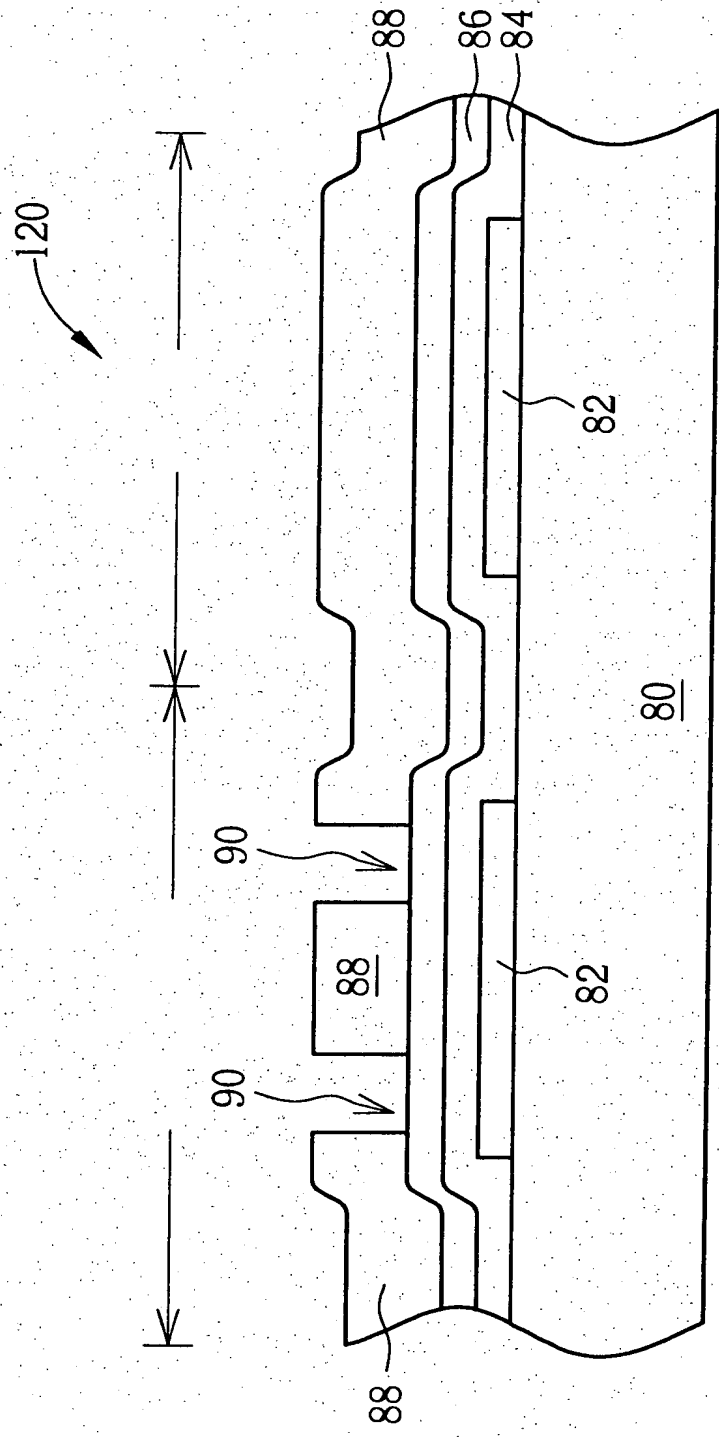
圖十二



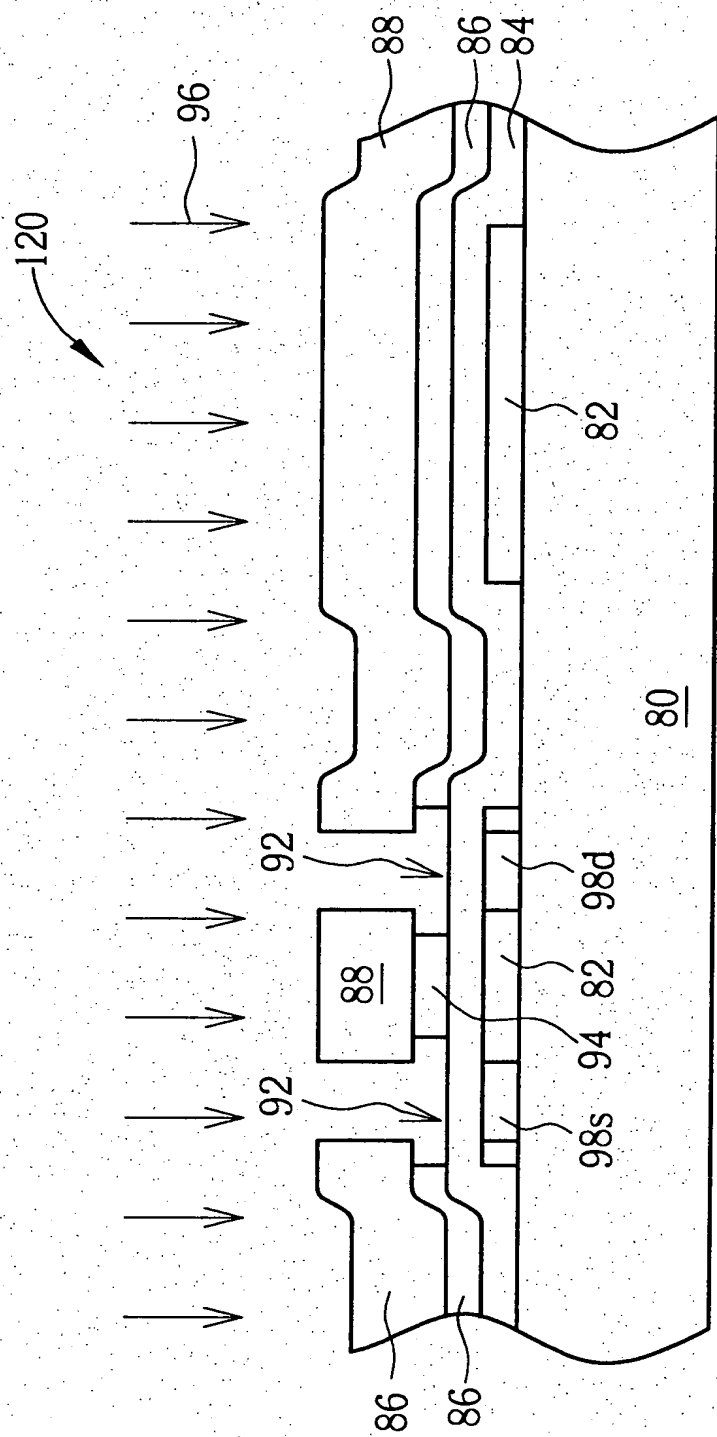
圖十三



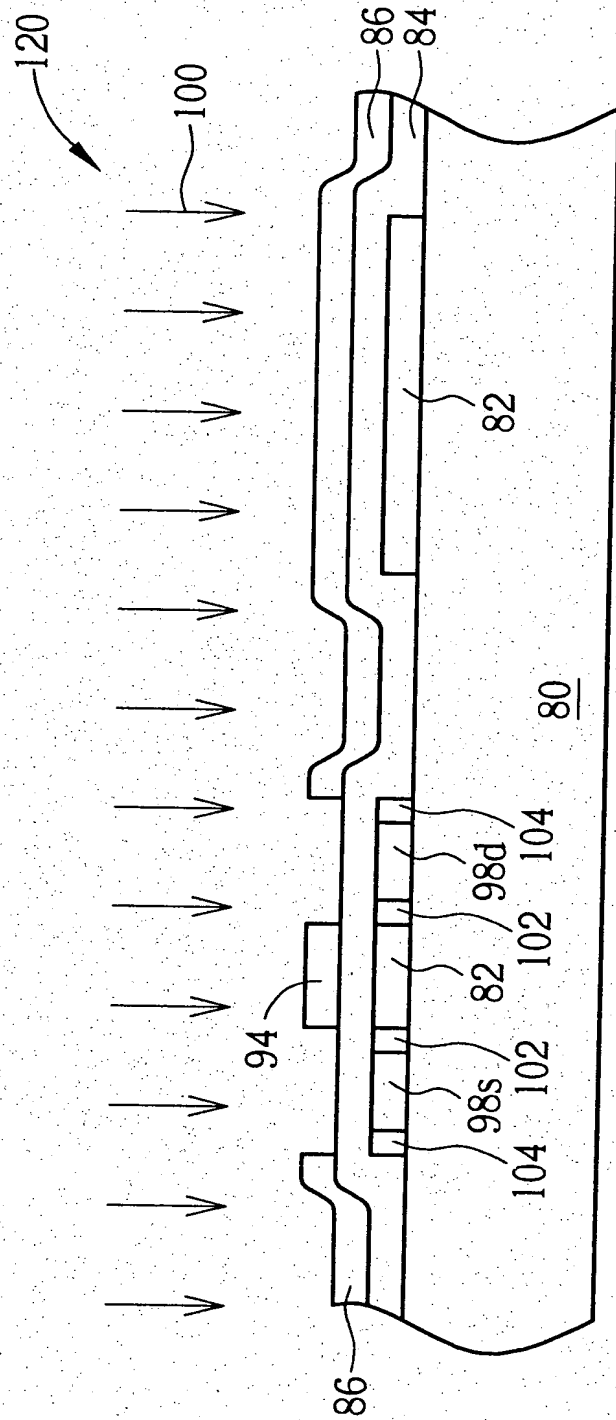
圖十四



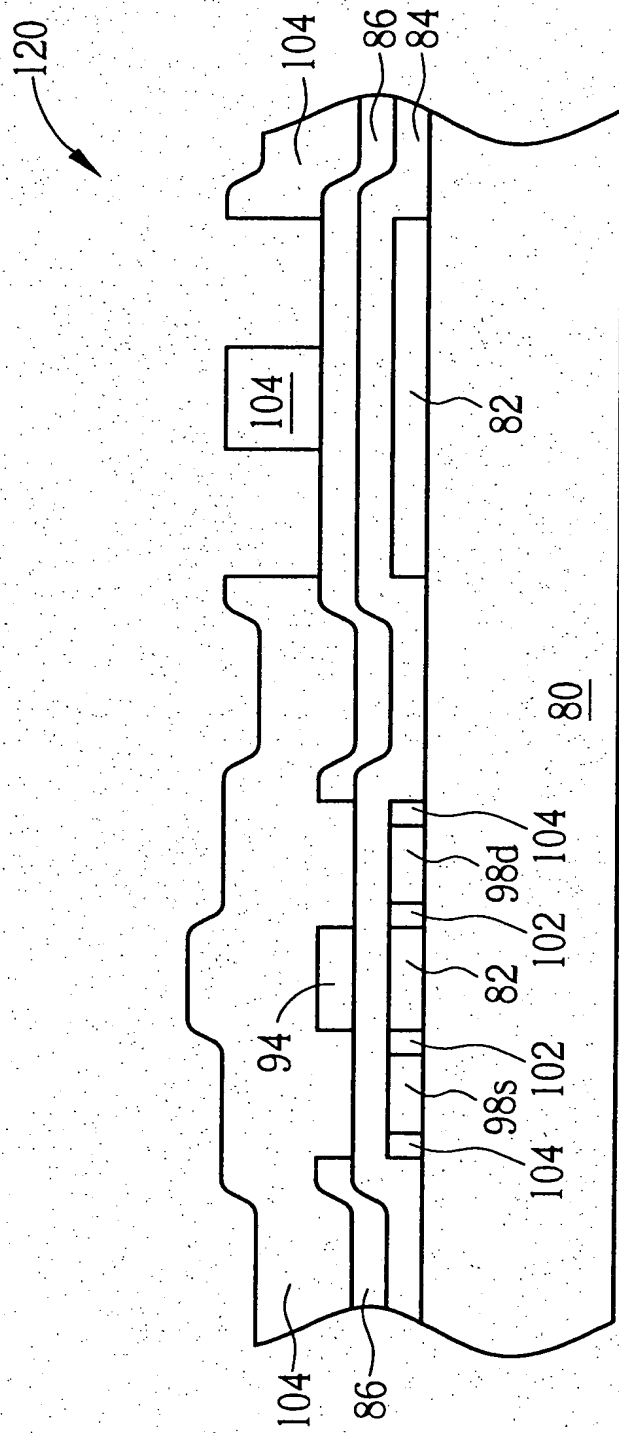
圖十五



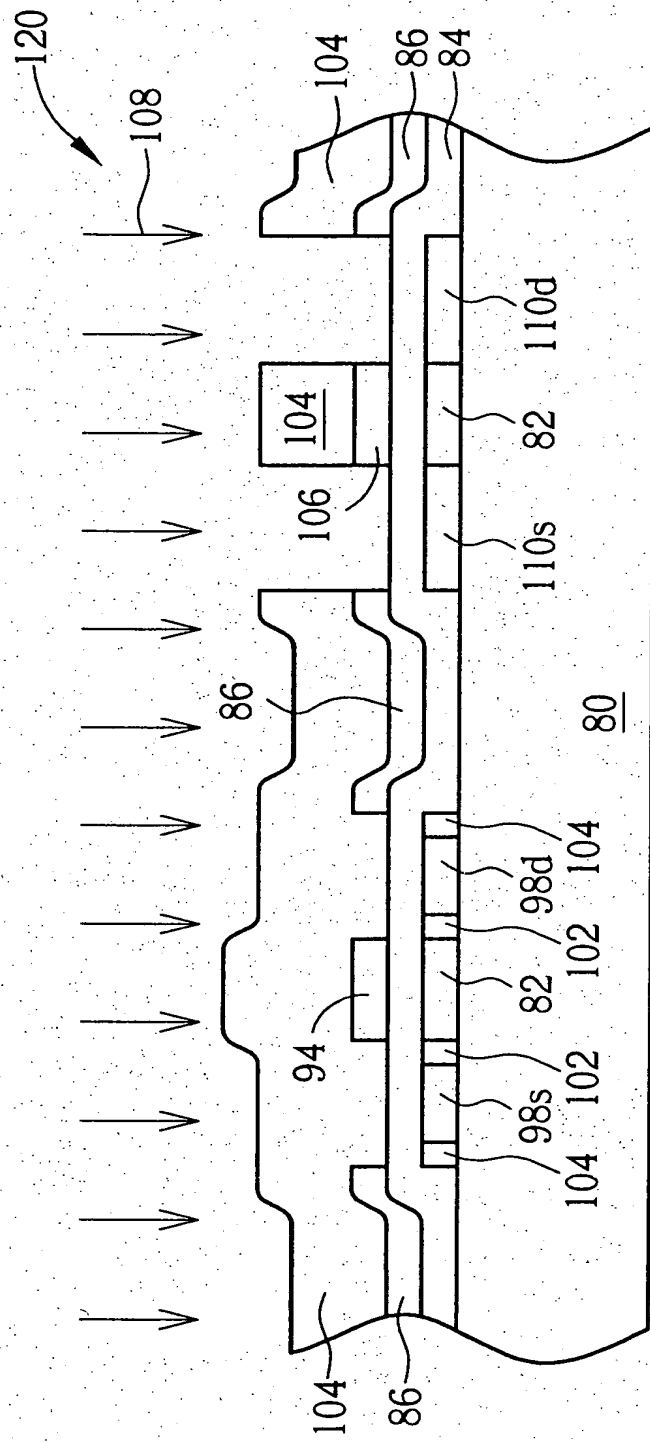
水
十
回



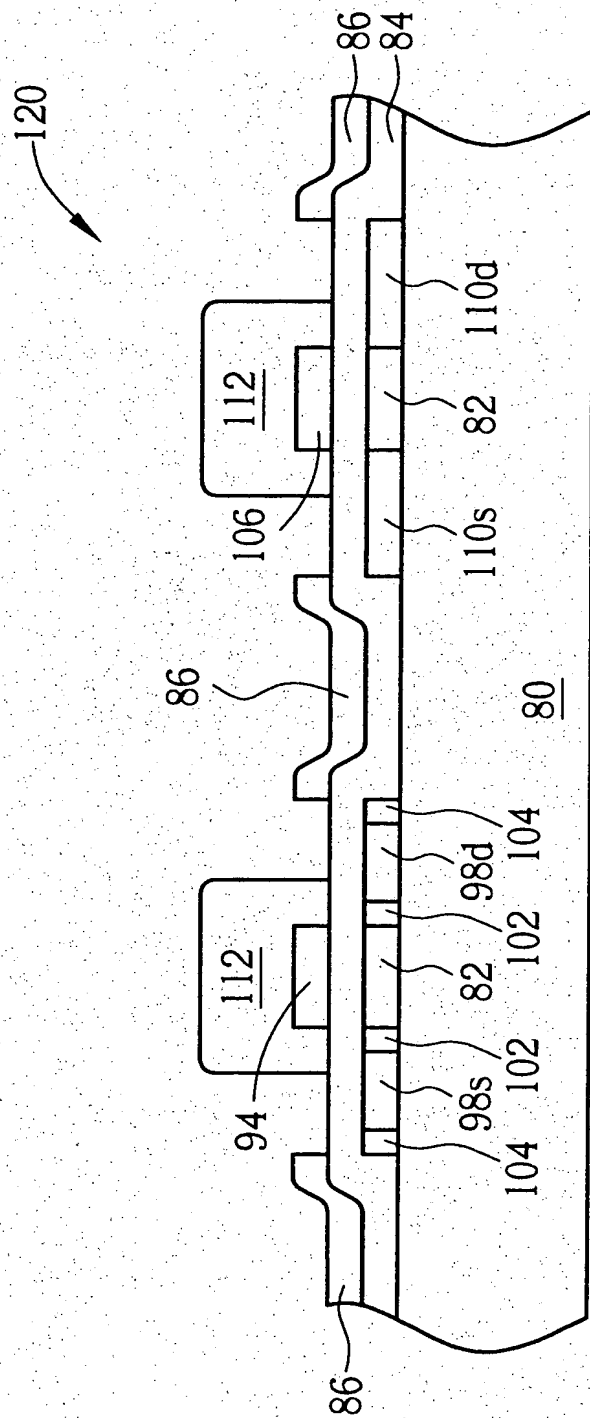
圖十七



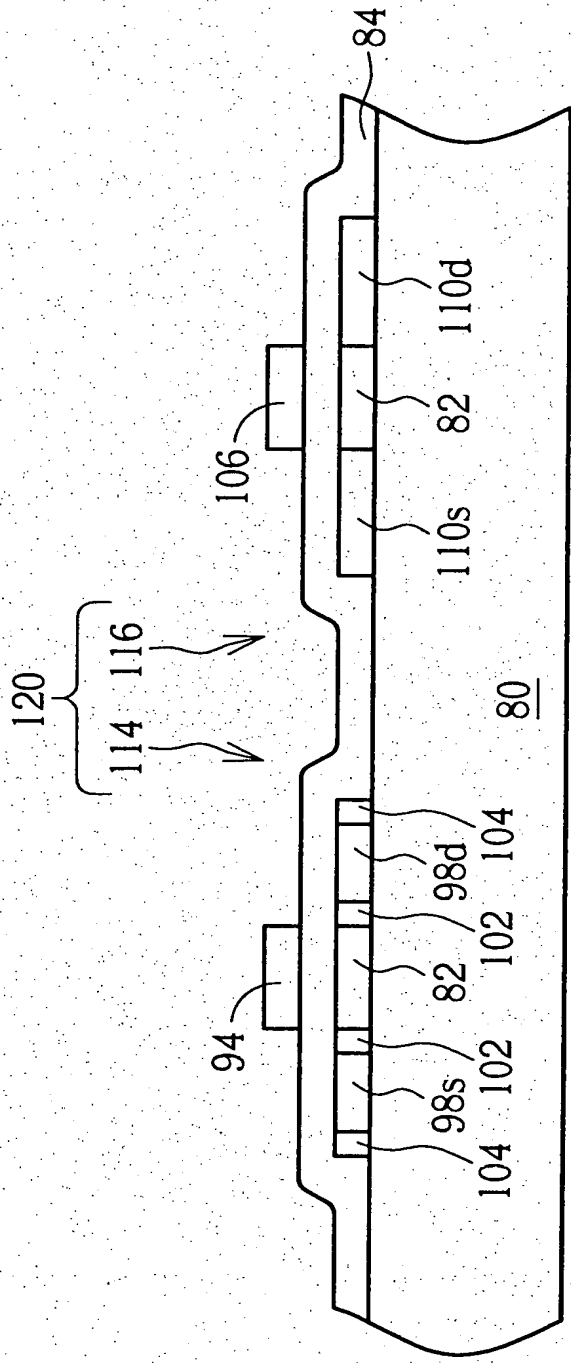
圖十八



圖十九

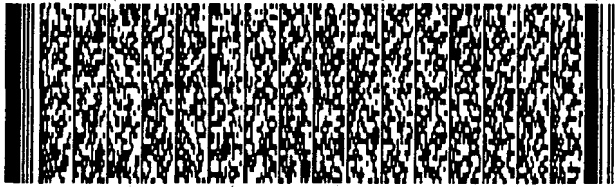


圖二十

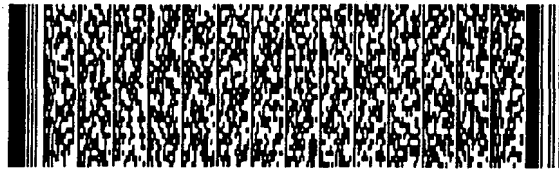


圖二十一

第 1/31 頁



第 2/31 頁



第 2/31 頁



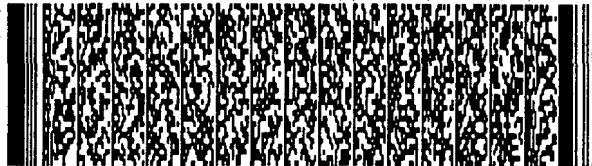
第 3/31 頁



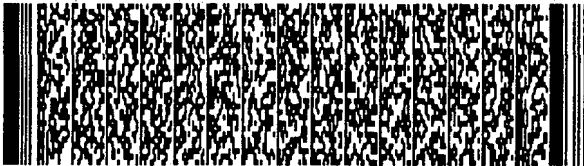
第 4/31 頁



第 5/31 頁



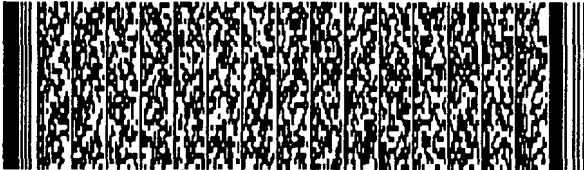
第 5/31 頁



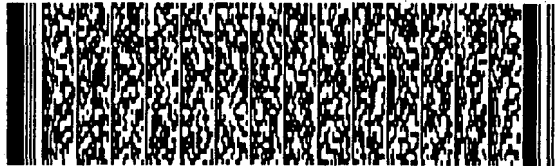
第 6/31 頁



第 6/31 頁



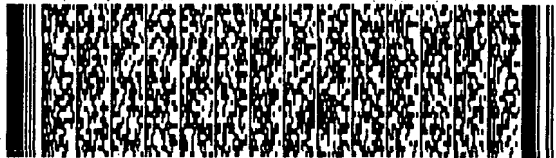
第 7/31 頁



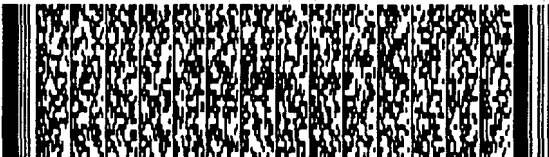
第 7/31 頁



第 8/31 頁



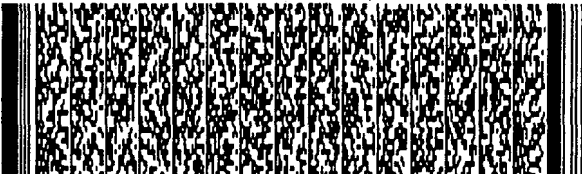
第 8/31 頁



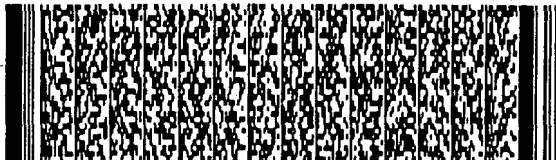
第 9/31 頁



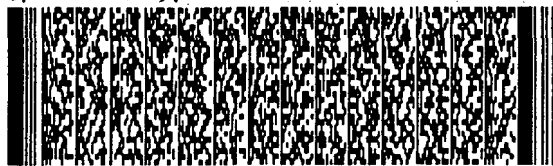
第 9/31 頁



第 10/31 頁



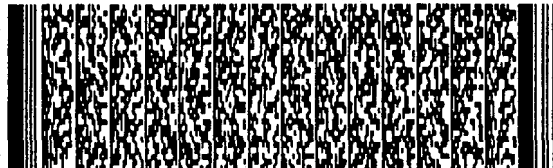
第 10/31 頁



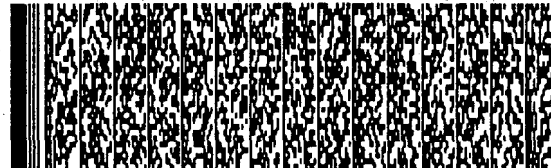
第 11/31 頁



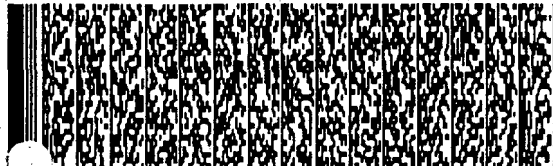
第 11/31 頁



第 12/31 頁



第 12/31 頁



第 13/31 頁



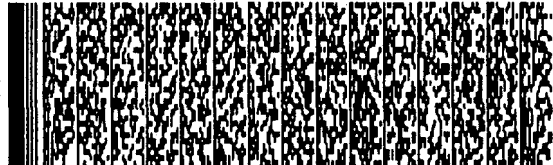
第 13/31 頁



第 14/31 頁



第 14/31 頁



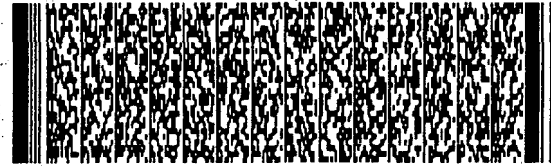
第 15/31 頁



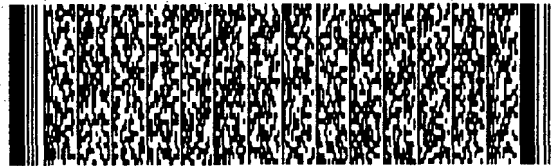
第 15/31 頁



第 16/31 頁



第 16/31 頁



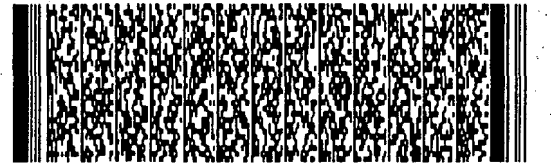
第 17/31 頁



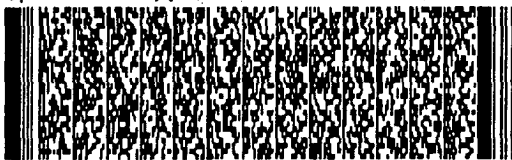
第 17/31 頁



第 18/31 頁



第 18/31 頁



第 19/31 頁



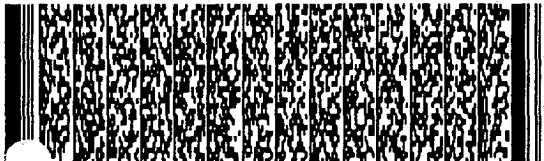
第 20/31 頁



第 21/31 頁



第 21/31 頁



第 22/31 頁



第 22/31 頁



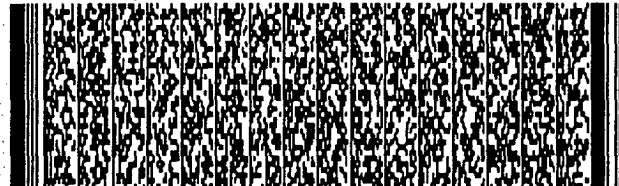
第 23/31 頁



第 23/31 頁



第 24/31 頁



第 25/31 頁



第 26/31 頁



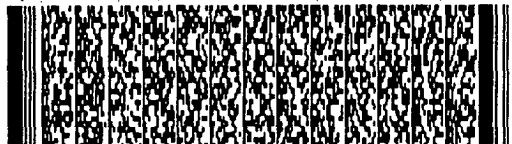
第 26/31 頁



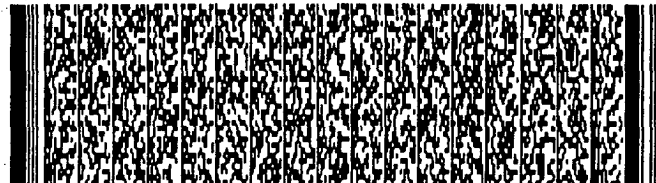
第 27/31 頁



第 27/31 頁



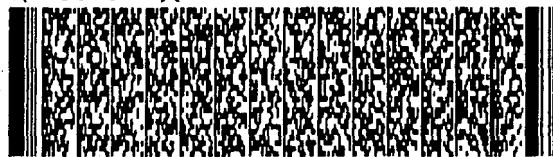
第 28/31 頁



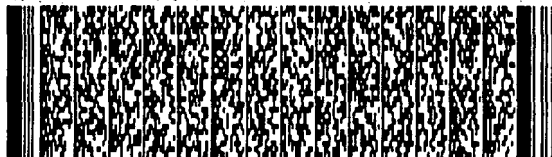
第 29/31 頁



第 30/31 頁



第 30/31 頁



第 31/31 頁

